

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09321376 A**(43) Date of publication of application: **12.12.97**

(51) Int. Cl.

H01S 3/133(21) Application number: **09073240**(22) Date of filing: **26.03.97**(30) Priority: **27.03.96 JP 08 72005**(71) Applicant: **RICOH CO LTD**(72) Inventor: **EMA HIDETOSHI
ISHIDA MASAOKI
MASUI NARIHIRO**(54) **SEMICONDUCTOR LASER CONTROLLER**

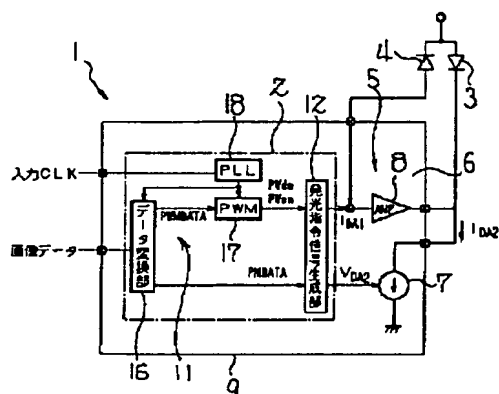
(57) Abstract:

PROBLEM TO BE SOLVED: To control the optical output by forming an error amplifier for controlling the forward current of a semiconductor laser and a current drive section for feeding a drive current corresponding to an emission command signal, as a forward current, to the semiconductor laser on one chip of an integrated circuit.

SOLUTION: An optoelectric feedback loop 6 is formed by connecting a semiconductor laser 3 and a light receiving element 4 in loop while including an error amplifier 8. Output from the semiconductor laser 3 is monitored by the light receiving element 4 and the forward current of the semiconductor laser 3 is controlled such that the optical output is equal to an emission command signal IDA_1 generated from a pulse width generating/data modulating section 2. A constant current source 7 functions to feed the semiconductor laser 3 with a forward driving current corresponding to an emission command signal IDA_2 generated from the pulse width generating/data modulating section 2. Consequently, the optical output from the semiconductor laser 3 can be controlled basically by the sum (or the difference) of a control current from the optoelectric feedback loop 6

and the driving current from the constant current source 7. The modulating section 2 and the driving section 5 are integrated on one chip.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321376

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl.⁶

H 0 1 S 3/133

識別記号

庁内整理番号

F I

H 0 1 S 3/133

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 28 頁)

(21) 出願番号 特願平9-73240

(22) 出願日 平成9年(1997)3月26日

(31) 優先権主張番号 特願平8-72005

(32) 優先日 平8(1996)3月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 江間 秀利

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(72) 発明者 石田 雅章

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(72) 発明者 増井 成博

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

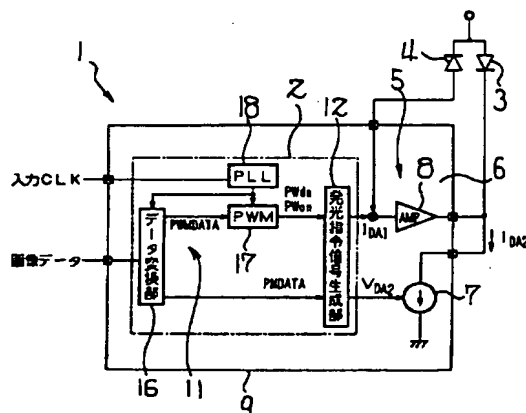
(74) 代理人 弁理士 柏木 明 (外1名)

(54) 【発明の名称】 半導体レーザ制御装置

(57) 【要約】

【課題】 光・電気負帰還ループによる制御量を少なくする電流加算方式と、1ドット内でのパルス幅強度混合変調方式とを、より小型で省電力化を達成し得るように集積度を高めた構成で実現する。

【解決手段】 入力データに基づいて、入力データに対してパルス幅変調と強度変調とを同時に行う発光指令信号を生成するパルス幅変調・強度変調信号生成部11なるデジタル制御系から、誤差増幅部8や電流駆動部7のようなアナログ駆動系まで、全てを1チップの集積回路9として高集積化して構成した。



【特許請求の範囲】

【請求項1】 入力データに基づいて、前記入力データに対しパルス幅変調と強度変調とを同時に行う発光指令信号を生成するパルス幅変調・強度変調信号生成部と、半導体レーザと、この半導体レーザの光出力をモニタする受光素子と、ともに光・電気負帰還ループを形成し、前記受光素子から得られる前記半導体レーザの光出力に比例した受光信号と前記パルス幅変調・強度変調信号生成部から得られる前記発光指令信号とが等しくなるように前記半導体レーザの順方向電流を制御する誤差増幅部と、
前記光・電気負帰還ループの制御電流との和又は差の電流により前記半導体レーザの駆動を制御するように生成され前記パルス幅変調・強度変調信号生成部から与えられる前記発光指令信号に応じた駆動電流を前記半導体レーザに順方向電流として流す電流駆動部と、
が1チップの集積回路で構成されていることを特徴とする半導体レーザ制御装置。

【請求項2】 パルス幅変調・強度変調信号生成部は、入力データをパルス幅変調データと強度変調データとに変換するデータ変換手段と、パルス幅変調データに基づいてパルス幅変調した複数のパルスを生成するパルス幅変調手段と、これらのデータ変換手段とパルス幅変調手段との出力に基づいて半導体レーザに対してパルス幅変調と強度変調とを同時に行う発光指令信号生成部とを有することを特徴とする請求項1記載の半導体レーザ制御装置。

【請求項3】 1チップの集積回路が、バイポーラトランジスタにより形成されていることを特徴とする請求項1又は2記載の半導体レーザ制御装置。

【請求項4】 1チップの集積回路が、C-MOSTランジスタにより形成されていることを特徴とする請求項1又は2記載の半導体レーザ制御装置。

【請求項5】 1チップの集積回路が、バイポーラトランジスタとC-MOSTランジスタとの混成回路により形成されていることを特徴とする請求項1又は2記載の半導体レーザ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、レーザプリンタ、デジタル複写機、光ディスク装置、光通信装置等における光源として用いられる半導体レーザを駆動制御するための半導体レーザ制御装置に関する。

【0002】

【従来の技術】 半導体レーザは極めて小型であって、かつ、駆動電流により高速に直接変調を行うことができるので、近年、レーザプリンタ等の光源として広く使用されている。

【0003】 しかし、半導体レーザの駆動電流と光出力との関係は、温度により著しく変化するので、半導体レ

ーザの光強度を所望の値に設定しようとする場合に問題となる。この問題を解決して半導体レーザの利点を活かすために、APC (Automatic Power Control) 方式の一つとして、半導体レーザの光出力を受光素子によりモニタし、この受光素子に発生する半導体レーザの光出力に比例する受光電流に比例する信号と、発光レベル指令信号とが等しくなるように、常時、半導体レーザの順方向電流を制御する光・電気負帰還ループにより半導体レーザの光出力を所望の値に制御する方式が知られている。この場合、受光素子の動作速度や、光・電気負帰還ループを構成している増幅素子の動作速度等の限界により制御速度に限界が生じる。

【0004】 この点を考慮した改良方式が、例えば、特開平2-205086号公報により提案されている。同公報によれば、半導体レーザの光出力を受光素子によりモニタし、その出力と発光レベル指令信号とが等しくなるように、常時、半導体レーザの順方向電流を制御する光・電気負帰還ループと、発光レベル指令信号を半導体レーザの順方向電流に変換する変換手段とを有し、光・電気負帰還ループの制御電流と変換手段により生成された電流の和又は差の電流によって半導体レーザの光出力を制御する方式が開示されている。ここに、光・電気負帰還ループは例えば半導体レーザと受光素子と定電流源と誤差増幅器とにより構成される。また、変換手段は例えば定電流源により構成される。

【0005】 これによれば、半導体レーザを変換手段によって直接駆動する電流に相当する光出力を P_S とした場合、半導体レーザの光出力のステップ応答特性は、

$$P_{out} = P_0 + (P_S - P_0) \{1 - \exp(-2\pi f_0 t)\}$$

P_{out} ; 半導体レーザの光出力

P_0 ; 半導体レーザの設定された光強度

t ; 時間

f_0 ; 光・電気負帰還ループの開ループでの交叉周波数

で近似される。 $P_S \neq P_0$ であれば、瞬時に半導体レーザの光出力が P_0 に等しくなるので、 f_0 の値は光・電気負帰還ループのみの場合に比べて小さくてよいことが分かる。現実的には、 $f_0 = 40\text{MHz}$ 程度であればよく、この程度の交叉周波数であれば容易に実現できる。

【0006】 また、特開平5-67833号公報においては、上述した特開平2-205086号公報に示されるような構成要素に関して、バイポーラトランジスタを用いたIC化により光・電気負帰還ループの設計を容易にした点が記載されている。

【0007】 次に、レーザプリンタを例に採り、1ドット多値化技術の経緯について説明する。レーザプリンタは、当初、ラインプリンタに代わるノンインパクトプリンタとして開発されたが、レーザプリンタの高速高解像性からイメージプリンタとしての適用が早くから検討さ

れ、ディザ法をベースとした様々な記録方法が実用化されている。また、近年の半導体技術の急速な進展により、処理可能な情報量が急速に増大し、レーザプリンタにおいては、1ドット多値化技術が実用化され、より確実にイメージプリンタとしての地位を固めつつある。しかしながら、現行の多値化レベルはハイエンド機においては8ビット相当の出力レベルを備えているが、ローエンド機では高々数値程度に抑えられている。これは、一因としては情報量の多さもあるが、主として、1ドット多値化出力を実現する半導体レーザ制御変調部の回路規模が大きく高価であることによる。

【0008】現在、1ドット多値化出力を行う半導体レーザ制御変調方式としては、

- A. 光強度変調方式
- B. パルス幅変調方式
- C. パルス幅強度混合方式

が提案されている。

【0009】A. 光強度変調方式 (PM=Power Modulation)

光出力自身を変化させて記録する方式であり、中間露光領域を利用して中間調記録を実現するため、印字プロセスの安定化が重要な要件であり、印字プロセスに対する要求が厳しくなる。しかしながら、半導体レーザの制御変調は容易となる。

【0010】B. パルス幅変調方式 (PWM=Pulse Width Modulation)

光出力レベルとしては2値であるが、その発光時間(つまり、パルス幅)を変化させて記録する方式であるので、PM方式と比較すると、中間露光領域の利用度が少なく、さらに、隣接ドットを結合させることにより中間露光領域を一層低減させることが可能となる(印字プロセス安定性に対する要求が低減する)。しかし、パルス幅設定を8ビット、かつ、隣接ドット結合を実現する場合には半導体レーザ制御変調部の構成は複雑となる。

【0011】C. パルス幅強度混合変調方式 (PWM+PM方式)

PM方式では印字プロセスの安定化への要求が厳しくなり、PWM方式では半導体レーザ制御変調部が複雑となる問題を有することから、これらのPM方式とPWM方式とを組み合わせた方式であり、例えば、特開平6-347852号公報中に開示されている。

【0012】この変調方式は、基本的には2値記録方式であり、印字プロセスに対して安定であるPWM方式を基調とし、そのパルス間の移り変わり部をPM方式により補う方式である。この変調方式は、同じ階調数を実現する場合、各々単独の変調方式に比較して、必要となるパルス幅数、パワー値数が組み合わせることにより少なくなるので、各々の方式分の構成を容易に達成でき、印字プロセスに対して安定であると同時に集積化に適しており、小型化・低コスト化を図ることができる。このよ

うな変調方式を実現するため、半導体レーザ制御装置には、画像データと画素クロックとを入力とするパルス幅生成部及びデータ変調部が設けられ、このパルス幅生成部及びデータ変調部が半導体レーザ制御部及び半導体レーザ駆動部に対する発光レベル指令信号を出力するように構成されている。即ち、入力される画像データに従ってパルス幅生成部及びデータ変調部によりPWM方式を基調とし、その移り変わり部をPM方式により補う。

【0013】この場合、この1ドット内でのパルス幅強度混合変調方式をより具体的に実現するため、C-MOSデバイスを用いたIC化によりパルス幅生成部を簡便に形成し、バイポーラトランジスタを用いたIC化により光・電気負帰還ループ部の設計を容易にする提案が、上記の特開平6-347852号公報によりなされている。

【0014】

【発明が解決しようとする課題】ところが、この特開平6-347852号公報に示される方式によっても、光・電気負帰還ループによる制御量を少なくする電流加算方式と、1ドット内でのパルス幅強度混合変調方式とを、より小型で省電力化を達成し得るように集積度を高めた構成で実現し、より高速かつ高精度に機能させる上では、まだ、改良の余地がある。

【0015】

【課題を解決するための手段】請求項1記載の発明は、入力データに基づいて、前記入力データに対しパルス幅変調と強度変調とを同時に行う発光指令信号を生成するパルス幅変調・強度変調信号生成部と、半導体レーザと、この半導体レーザの光出力をモニタする受光素子と、ともに光・電気負帰還ループを形成し、前記受光素子から得られる前記半導体レーザの光出力に比例した受光信号と前記パルス幅変調・強度変調信号生成部から得られる前記発光指令信号とが等しくなるように前記半導体レーザの順方向電流を制御する誤差増幅部と、前記光・電気負帰還ループの制御電流との和又は差の電流により前記半導体レーザの駆動を制御するように生成され前記パルス幅変調・強度変調信号生成部から与えられる前記発光指令信号に応じた駆動電流を前記半導体レーザに順方向電流として流す電流駆動部とが1チップの集積回路で構成されている。

【0016】従って、パルス幅変調・強度変調信号生成部なるデジタル制御系から、誤差増幅部や電流駆動部のようなアナログ駆動系まで、全てが1チップの集積回路として構成されているので、小型で省電力化を図れる上に、1ドット内でのパルス幅強度混合変調方式を、より高速かつ高精度に実現できる。

【0017】ここに、パルス幅変調・強度変調信号生成部に関して、請求項2記載の発明では、入力データをパルス幅変調データと強度変調データとに変換するデータ変換手段と、パルス幅変調データに基づいてパルス幅変

調した複数のパルスを生成するパルス幅変調手段と、これらのデータ変換手段とパルス幅変調手段との出力に基づいて半導体レーザに対してパルス幅変調と強度変調とを同時に行う発光指令信号生成部とを有している。従って、デジタル制御系をなすパルス幅変調・強度変調信号生成部側の1チップ化のための構成が明らかとなる。

【0018】請求項3記載の発明では、1チップの集積回路が、バイポーラトランジスタにより形成されているので、特に誤差増幅部や電流駆動部のようなアナログ駆動系の増幅器を構成するのが容易となり、その入力レベルを自由に設定し上に、入力レベルを小さくすることもできる。

【0019】請求項4記載の発明では、1チップの集積回路が、C-MOSトランジスタにより形成されているので、特にパルス幅変調・強度変調信号生成部側を構成するのが容易となる上に、集積度を高めることもできる。

【0020】請求項5記載の発明では、1チップの集積回路が、バイポーラトランジスタとC-MOSトランジスタとの混成回路により形成されているので、特に誤差増幅部や電流駆動部のようなアナログ駆動系の増幅器をバイポーラトランジスタで容易に構成でき、パルス幅変調・強度変調信号生成部のようなデジタル制御系をC-MOSトランジスタで容易に構成でき、回路設計が容易となる。

【0021】

【発明の実施の形態】本発明の第一の実施の形態を図1ないし図8に基づいて説明する。本発明の半導体レーザ制御装置は、例えば、レーザプリンタ等における光書き込み用に用いられる半導体レーザの光出力を制御するための光・電気負帰還ループを含む制御装置として適用されている。また、1ドット内で多階調出力を得る手法として、前述した公報等に記載されているパルス幅強度混合変調方式(PWM+PM方式)が用いられている。

【0022】このような変調方式を実現するため、本実施の形態における半導体レーザ制御装置1には、基本的に、図2に示すように画像データと入力クロックとを入力として発光指令信号を生成するパルス幅生成部及びデータ変調部(以下、略してパルス幅生成・データ変調部という)2が設けられている。また、半導体レーザ3に対してはその光出力をモニタする受光素子4が設けられ、これらの半導体レーザ3及び受光素子4は半導体レーザ制御部及び半導体レーザ駆動部(以下、略して半導体レーザ制御・駆動部という)5に接続されている。前記パルス幅生成・データ変調部2により生成された発光指令信号がこの半導体レーザ制御・駆動部5に与えられている。即ち、入力される画像データに従ってパルス幅生成・データ変調部2によりPWM方式を基調とし、その移り変わり部をPM方式により補う。

【0023】その半導体レーザ3の光出力波形の基本概

念図を図3に示す。図3にはパルス幅3値、パワー6値の合計18階調を出力する場合における半導体レーザ3の光出力波形を模式的に示すものである。この変調方式は、図示のように基本的にはPWM方式であるので、中間露光領域を利用する強度変調部は最小パルス幅で出力する必要がある。このような光出力を得るためには、例えば、図4に示すようにパルス幅をTとすると、パルス1に示すTとパルス2に示す(T+ΔT)との2パルス、又は、パルス3に示すTとパルス4に示すΔT(ΔTは最小パルス幅)との2パルスを生成すればよい。Tのパルスにおいて全ビットをHレベルにし、ΔTのパルスにおいてデータに従って各ビットをオン・オフさせれば、図3や図4に示すような光出力の波形を得ることができる。図4(a)は左寄せの光波形、図4(b)は右寄せの光波形を示す。

【0024】次に、本実施の形態の半導体レーザ制御装置1のより具体的なブロック図構成について図1により説明する。まず、半導体レーザ制御・駆動部5は光・電気負帰還ループ6と、電流駆動部を形成する定電流源7とにより構成されている。前記光・電気負帰還ループ6は、半導体レーザ3、受光素子4とともに、これらの半導体レーザ3と受光素子4とにループ状に接続されて誤差増幅部を構成する誤差増幅器8を含んで形成されている。この光・電気負帰還ループ6は、半導体レーザ3の光出力を受光素子4によりモニタし、その光出力とパルス幅生成・データ変調部2により生成された発光指令信号(I_{DA1})とが等しくなるように、常時、半導体レーザ3の順方向電流を制御する。また、前記定電流源7はパルス幅生成・データ変調部2により生成された発光指令信号(V_{DA2})に応じた駆動電流を半導体レーザ3の順方向に流すように機能する。これにより、半導体レーザ制御・駆動部5では、光・電気負帰還ループ6の制御電流と定電流源7による駆動電流との和(又は、差)の電流によって半導体レーザ3の光出力が基本的に制御される。

【0025】これによれば、半導体レーザ3を定電流源7によって直接駆動する電流に相当する光出力をP_Sとした場合、半導体レーザ3の光出力のステップ応答特性は、前述した通り、

$$P_{out} = P_0 + (P_S - P_0) \{1 - \exp(-2\pi f_0 t)\}$$

P_{out} ; 半導体レーザ3の光出力

P₀ ; 半導体レーザ3の設定された光強度

t ; 時間

f₀ ; 光・電気負帰還ループ6の開ループでの交叉周波数

で近似される。P_S ≒ P₀ であれば、瞬時に半導体レーザ3の光出力がP₀に等しくなるので、f₀の値は光・電気負帰還ループ6のみの場合に比べて小さくてよいことが分かる。現実的には、f₀ = 40MHz程度であ

ばよく、この程度の交叉周波数であれば容易に実現できる。図5(a)が光・電気負帰還ループ6のみによる場合の光出力の変化の様子を示すのに対し、図5(b)は定電流源7による定電流分 I_{DA2} が付加された場合の光出力の変化の様子を示し、より矩形波化されているのが分かる。

【0026】このような機能を有する半導体レーザ制御装置1に関して、本実施の形態では、パルス幅生成・データ変調部2と半導体レーザ制御・駆動部5とがバイポーラトランジスタにより1チップの集積回路9として集積化されている。ここに、誤差増幅器8を含む光・電気負帰還ループ6部分に関しては、特に図示しないが、例えば特開平5-67833号公報中の図2に示されるような周知のバイポーラトランジスタ回路を用いることにより集積化できる。また、定電流源7部分に関しても、特に図示しないが、例えば特開平5-67833号公報中の図13及び図17に示されるような周知のバイポーラトランジスタ回路を用いることにより集積化できる。

【0027】そこで、ここでは、集積回路9中、パルス幅生成・データ変調部2側のより具体的な構成及び作用について、以下に説明する。いま、本実施の形態では、パルス幅変調を3ビット(即ち、8値)、強度変調を5ビット(即ち、32値)を組合せ、合計で1ドット当たり8ビット階調(256値)を出力し得る構成例とする。このパルス幅生成・データ変調部2は、パルス幅変調・強度変調信号生成部11と、発光指令信号生成部12とにより構成されている。

【0028】まず、この発光指令信号生成部12は、図6に示すように、強度変調データPMDに従って電流 I_{DA} 、 $/I_{DA}$ (信号に関して“/”は反転を示す;以下、同様とする)に変換するD/A変換器(DAC)13と、パルス1に応じて電流 $/I_{DA}$ を流すか否かをスイッチングする差動スイッチ14aと、パルス2に応じて電流 I_{DA} を流すか否かをスイッチングする差動スイッチ14bと、差動スイッチ14a、14bのスイッチングに従い流れる電流 $/I_{DA}$ 、 I_{DA} を各々電圧 $/V_{DA}$ 、 V_{DA} に変換する電流-電圧変換器(I-V)15a、15bとにより構成されている。ここに、 $/I_{DA} + I_{DA} = I_{full}$ なる関係にある。電流値 I_{full} は強度変調データPMDを全てオンにした場合の電流 I_{DA} の値であり、発光指令信号の最大電流値である。差動スイッチ14a、14bはパルス1、2がともにHレベルの場合には $I_{DA1} = I_{full}$ となるように機能する。パルス1がLレベルでパルス2がHレベルの場合には $I_{DA1} = I_{DA}$ となる。パルス1、2がともにLレベルの場合には $I_{DA1} = 0$ となる。

つまり、パルス1、2がともにHレベルの場合には I_{DA} の値(即ち、強度変調データPMD)によらず、 $I_{DA1} = I_{full}$ となる。よって、強度変調データPMDは1画素クロックの間、一定でよい。この結果、半導体レーザ制御装置の高速化を図る点で有利となる。

【0029】このような差動スイッチ14a、14bは例えば各々対ずつのバイポーラトランジスタを差動接続することにより構成される。電流-電圧変換器15a、15bは2つの電圧値(V_{DA2} 、 $/V_{DA2}$)を持つ図1中に示すような電圧 V_{DA2} を定電流源7に対して発光指令信号として供給する。定電流源7は発光指令信号 V_{DA2} の2つの電圧値間の差電圧に従って電流 I_{DA2} を生成する。このような電流-電圧変換器15a、15bも、例えば各々ベース接地のバイポーラトランジスタにより構成される。よって、発光指令信号生成部12自体もバイポーラトランジスタ構成として容易に集積化されて形成される。

【0030】一方、パルス幅生成・データ変調部2中のパルス幅変調・強度変調信号生成部11は、例えば、データ変換手段となるデータ変換部16と、パルス幅変調手段となるパルス幅変調部17と、PLL構成のパルス生成発振器18とにより構成されている。前記パルス生成発振器18は図8に示すように入力クロックに同期した内部クロック X_0 と、この X_0 と同一周波数(即ち、入力クロックとも同一周波数)で一定量ずつの位相差を持つパルス X_1 、 X_2 、 \sim 、 X_k の位相差が異なる複数個のパルスを生成する。パルス幅変調を8値とした場合、 $k=7$ であり、各々のパルスの位相差は $1/8 \cdot T_{CK}$ (T_{CK} は入力クロックの周期)である。また、 X_4 、 X_5 、 X_6 、 X_7 は、各々 X_0 、 X_1 、 X_2 、 X_3 の反転信号である。ここに、入力クロックに同期させるパルスは何れであってもよく、図8ではパルス X_6 を同期させており、入力クロックから $1/4$ 周期遅れた X_0 を内部クロックとしている。前記データ変換部16は入力された画像データをパルス幅変調データPWMDATAと強度変調データPMDATAとに変換する機能を持つ。前記パルス幅変調部17は前記データ変換部16から得られるパルス幅変調データPWMDATAに従ってパルス生成発振器18の出力 X_k の中から2つのパルス PW_{on} 、 PW_{da} を生成する機能を持つ。

【0031】例えば、図4(a)等に準じて、左寄せの光出力波形を得るための論理を記述すると、(1)(2)式のように表される。

【0032】

【数1】

$$\begin{aligned} PW_{da} &= X_0 X_n + \overline{X_0} \overline{X_n} \\ PW_{on} &= X_0 X_n' + \overline{X_0} \overline{X_n'} \end{aligned} \quad \dots\dots\dots (1)$$

$$\begin{aligned} X_n &= X_5 \overline{D_{n1}} \overline{D_{n2}} + X_6 \overline{D_{n1}} D_{n2} + X_7 D_{n1} \overline{D_{n2}} + X_0 D_{n1} D_{n2} \\ X_n &= X_1 \overline{D_{n1}} D_{n2} + X_2 D_{n1} \overline{D_{n2}} + X_3 D_{n1} D_{n2} + X_4 \overline{D_{n1}} \overline{D_{n2}} \\ X_n' &= X_4 \overline{D_{n1}}' \overline{D_{n2}}' + X_5 D_{n1}' \overline{D_{n2}}' \\ &\quad + X_6 \overline{D_{n1}}' D_{n2}' + X_7 D_{n1}' D_{n2}' + X_0 D_{n1}' D_{n2}' \\ X_n' &= X_0 \overline{D_{n1}}' \overline{D_{n2}}' + X_1 D_{n1}' \overline{D_{n2}}' \\ &\quad + X_2 \overline{D_{n1}}' D_{n2}' + X_3 D_{n1}' D_{n2}' \end{aligned} \quad \dots\dots\dots (2)$$

【0033】また、 D_{n1} 、 D_{n2} 、 D_{m1} 、 D_{m2} 、 D_{n1}' 、 D_{n2}' 、 D_{m1}' 、 D_{m2}' はパルス幅変調データ PWM DATA であり、画像データ D_7 (MSB) ～ D_0 (LSB) のうち、上位3ビット、即ち、 D_7 、 D_6 、 D_5 をパルス

*ス幅変調のためのデータとすると、(3)式で表される。
【0034】
【数2】

$$\begin{aligned} D_{n1} &= \overline{D_7} D_5 + D_7 & D_{n2} &= \overline{D_7} D_6 + D_7 \\ D_{n1} &= D_7 D_5 & D_{n2} &= D_7 D_6 \\ D_{n1}' &= \overline{D_7} D_5 & D_{n2}' &= \overline{D_7} D_6 \\ D_{n1}' &= D_7 D_5 & D_{n2}' &= D_7 D_6 \end{aligned} \quad \dots\dots\dots (3)$$

【0035】このような論理を実現するため、データ変換部16及びパルス幅変調部17は例えば図7に示すように構成されている。まず、データ変換部16中には各々画像データ $D_0 \sim D_7$ をパルス幅変調データ D_{ni} 、 D_{ni}' 、 D_{mj} 、 D_{mj}' に(3)式に従い変換する論理部21～24が設けられている。25は画像データ $D_0 \sim D_7$ 中の下位5ビット分のデータを強度変調データ D_{pk} としてそのまま出力する論理部である。これらの論理部21～25は変調データを保持する手段(例えば、ラッチ等)を有する。一方、パルス幅変調部17中には各々パルス幅変調データ D_{ni} 、 D_{ni}' 、 D_{mj} 、 D_{mj}' に従ってパルス X_k の内の一つを選択するマルチプレクサ26～29が設けられている。さらに、これらのマルチプレクサ26～29の出力 X_n 、 X_n' 、 X_m 、 X_m' に関して(1)式の論理を実行するANDゲート30a～30d及びORゲート30e、30fが設けられている。ORゲート30eの出力がパルス PW_{da} 、ORゲート30fの出力がパルス PW_{on} となる。このような主として論理を実行するデータ変換部16及びパルス幅変調部17についても、バイポーラトランジスタで集積化して構成することができる。

【0036】このようにして、本実施の形態によれば、パルス幅生成・データ変調部2と半導体レーザ制御・駆動部5とが全てバイポーラトランジスタにより1チップの集積回路9として集積化されているので、1ドット内でのパルス幅変調・強度変調混合方式に光・電気負帰還ループ6+加算電流値制御方式を加味して半導体レーザ

3の駆動を制御するに当たり、小型で省電力化を達成し得るとともに、1チップの集積回路9内で全て処理されるのでより高速で高精度に機能させることができる。特に、1チップの集積回路9、バイポーラトランジスタにより形成することにより、誤差増幅器8や定電流源7のようなアナログ駆動系の増幅器を構成するのが容易となり、その入力レベルを自由に設定し得る上に、入力レベルを小さくすることもできる。よって、レーザプリンタ等の機能を向上させるのに都合がよい。

【0037】本発明の第二の実施の形態を図9ないし図25に基づいて説明する。本実施の形態にあっても基本的には前記実施の形態のようなパルス幅強度混合変調方式や、光・電気負帰還ループの負担を軽減させる光・電気負帰還ループ+加算電流値制御方式を踏襲しており、図1ないし図8で示した部分と同一部分は同一符号を用いて示す。即ち、本実施の形態における半導体レーザ制御装置1も、概略的には、図2に示したように、パルス幅生成・データ変調部2と半導体レーザ制御・駆動部5とにより構成されている。

【0038】図9に、本実施の形態における半導体レーザ制御装置1の、より詳細な構成例を示す。本実施の形態では、入力データをパルス幅変調データと強度変調データとに変換した複数のパルスを生成するパルス幅変調・強度変調信号生成部31と半導体レーザ制御・駆動部5とが、その一部の構成要素を除く殆どの要素に関して1チップの集積回路32として集積化されて構成されている。より詳細には、一部の回路構成に関して例示する

30

40

50

如く、バイポーラトランジスタにより1チップ化されている。特に、本実施の形態はこのバイポーラトランジスタ構成の一例を明らかにするものである。

【0039】まず、半導体レーザ制御・駆動部5側について説明する。光・電気負帰還ループ6は、発光指令信号設定部41と発光指令信号生成部42と誤差増幅器43と電流駆動部44と半導体レーザ3と受光素子4とにより構成されている。前記発光指令信号生成部42は発光指令信号生成部第1構成部42aと発光指令信号生成部第2構成部42bとにより構成されている。動作としては、変調されたデータに従って発光指令信号生成部第1構成部42aにて生成された電流と、半導体レーザ3の光出力に比例して受光素子4より出力されるモニタ電流とを比較し、その誤差分を誤差増幅器43及び電流駆動部44を介して半導体レーザ3の順方向電流に変換する。モニタ電流が発光指令信号生成部第1構成部42aにより生成された電流より大きいときには、半導体レーザ3の順方向電流を減らし、モニタ電流が発光指令信号生成部第1構成部42aにより生成された電流より小さいときには、半導体レーザ3の順方向電流を増やすように制御する。ここに、光・電気負帰還ループ6が構成されている。

【0040】ここで、一般に半導体レーザ3の微分量子効率や受光素子4の光・電気変換受光感度には素子ばらつきがある。そこで、各々の特性に合わせて、電流値を設定する必要がある。このような素子ばらつきに関しては、前記発光指令信号設定部41において、半導体レーザ3が所望の光出力となるように外部からの電流設定信号により電流値 I_{DA1} 、即ち、直流動作時には受光素子4のモニタ電流値 I_{PD} を設定することにより、個体差を吸収して半導体レーザ3が常に所望の光出力となるように設定することが可能となる。

【0041】前記電流駆動部44は、例えば差動スイッチ構成で前記誤差増幅器43の出力を所望の電位分瞬時に電圧シフトする高速電圧シフト部45として構成されている。この高速電圧シフト部45による電圧シフトは、瞬時に半導体レーザ3の順方向電流となり、半導体レーザ3の光出力の高速変調が可能とされている。特に、光・電気負帰還ループ6なる制御系内にこの電流駆動部44として機能する高速電圧シフト部45を有して光・電気負帰還ループ6側と同一の出力部を持たせることにより、集積回路32の素子数の低減と消費電力の低減とを図る上で有利となる。

【0042】図10に誤差増幅器43及び高速電圧シフト部45のバイポーラトランジスタを用いた回路構成例を示す。まず、PD端子から発光指令信号生成部42

(発光指令信号生成部第1構成部42a)中のトランジスタ Q_1 のベースへ、半導体レーザ3の光出力に比例して受光素子4に流れるモニタ電流 I_{PD} を流す。発光指令信号生成部42中の後述するD/A変換部は入力された

データを電流 I_{DA1} に変換し、この電流 I_{DA1} をトランジスタ Q_1 のベースから流す。電流 I_{PD} 、 I_{DA1} 間の比較の結果をトランジスタ Q_1 のベースにおいて検出する。この結果をトランジスタ Q_2 、 Q_3 等で構成される差動アンプ51に入力し、差動アンプ51の出力を駆動トランジスタ52のベースに入力する。この駆動トランジスタ52は抵抗 R_e を介して半導体レーザ3に順方向電流を流す。ここに、光・電気負帰還ループ6が構成されている。差動アンプ51より半導体レーザ3のLD端子に至る間に、トランジスタ Q_4 、 Q_5 、抵抗 R_2 等で構成されて差動回路となる差動スイッチ53が接続されている。これらの差動スイッチ53ないし駆動トランジスタ52により、所望の電位分を瞬時に電圧シフトする高速電圧シフト部45が構成されている。この電圧シフトは、トランジスタ Q_6 、 Q_7 及びトランジスタ52等で構成されるエミッタフォロワ54を介して瞬時に半導体レーザ3の順方向電流となる。

【0043】ここに、本実施の形態においては、前述したように、最終的に半導体レーザ3を駆動する駆動トランジスタ52と抵抗 R_e とを集積回路32に対して外付けとされている。この駆動トランジスタ52と抵抗 R_e には、半導体レーザ3を駆動するために数十〜数百mA程度の電流を流す必要がある。しかし、本実施の形態のような構成の場合、半導体レーザ制御・駆動部5内部における電流は、駆動部(駆動トランジスタ52)につながる出力部においてもせいぜい数mAで十分である。従って、消費電力が低減し、集積化(LSIの開発)が容易となる。図10に示す回路において、電流駆動部44の電圧シフト量を決定しているのが、抵抗 R_2 、 R_3 、トランジスタ Q_9 等である。しかし、上述したように半導体レーザ3の微分量子効率には素子ばらつきがあり、また、経時変化による効率劣化がある。このため、半導体レーザ3の微分量子効率を微分量子効率検出部46で検出し、この電圧シフト量を設定する構成とする。これにより、前述した図5(b)に示したような光出力 P_S が重畳された理想的な光出力を得ることができる。

【0044】また、図10に示す回路において、トランジスタ Q_2 、 Q_3 等で構成される差動アンプ51は、抵抗 R_4 において電源電圧 V_{CC} よりの降下電圧としてその出力を構成しているが、光・電気負帰還ループ6は半導体レーザ3の光出力をリアルタイムで制御しているので、電源電圧変動も同時に制御している。また、PD端子(発光指令信号生成部第1構成部42a中のトランジスタ Q_1 のベース電位)にて検出した結果を、差動アンプ51に入力する過程で、トランジスタ Q_{11} 、 Q_{12} 、抵抗 R_6 を介して帰還をかけており、この差動アンプ51の電圧ゲインを抵抗 R_5 、 R_6 の抵抗値により決定し、ゲインを小さくする。これにより、この差動アンプ51の交叉周波数をより高くし制御速度を向上させている。ここに、抵抗 R_5 、 R_6 は外付け素子とされている。こ

これらの抵抗 R_5 、 R_6 の抵抗値を変化させることにより制御系（光・電気負帰還ループ6）の制御速度を変え得る。

【0045】半導体レーザ3の微分量子効率を検出し、電圧シフト量を設定する機能を実現するためのブロックが、図9では、タイミング生成部47、微分量子効率検出部46、メモリ部48及び加算電流設定部49により構成されている。これにより、概略的には、タイミング生成部47において誤差増幅器43の制御速度より十分遅いタイミング信号を生成する。そのタイミングにおいて半導体レーザ3の微分量子効率を微分量子効率検出部46により検出する。その検出結果をメモリ部48に記録する。このメモリ部48のデータに従い、加算電流設定部49の電流値を設定する。これらの動作は電源投入時若しくはリセット時（半導体レーザ3の光出力オフ時）といった所定のイニシャライズ時だけイニシャライズ動作として行われる。通常動作時には、加算電流設定部49の電流値を保持する。また、前記集積回路32中にはタイミング生成部47に接続されたスタートアップ部50とともに電源部101が設けられている。

【0046】次いで、発光指令信号設定部41及び発光指令信号生成部42のバイポーラトランジスタを用いた回路構成例を図11及び図12に示す。

【0047】まず、発光指令信号設定部41の構成としては、発光指令信号生成部42の電流設定、加算電流設定部49の電流設定、発光指令信号生成部42の電流のベース電流補償部、及び、発光指令信号生成部42の電流と加算電流設定部49の電流とを連動させて外部信号より調整する部分により構成されており、各々の部分を図11に示す回路例により説明する。

【0048】発光指令信号生成部42の電流設定は、トランジスタ Q_{71} のエミッタ電位と抵抗 R_{41} とにより行われる。ここに、前記発光指令信号生成部42の電流 I_{DA1} は、直流的には受光素子4のモニタ電流 I_{PD} であるので、集積回路32（LSI）内部の温度変化の影響を受けない電流とする必要がある。つまり、トランジスタ Q_{71} のエミッタ電位は安定な電位、抵抗 R_{41} は絶対精度の要求される抵抗である必要がある。このため、トランジスタ Q_{71} のエミッタ電位は電源部において生成した安定電位である V_{REF11} 端子電位をトランジスタ $Q_{72} \sim Q_{75}$ 等で構成されるボルテージフォロワ55を介して生成する。そして、 V_R 端子を外部端子として、抵抗 R_{41} を絶対精度、温度特性の良好な外付け抵抗若しくは可変抵抗とする。この抵抗 R_{41} の抵抗値を変化させることにより半導体レーザ3及び受光素子4の特性に合わせて所望の光出力を得るための調整が可能となる。

【0049】加算電流設定部49の電流設定は、トランジスタ Q_{78} のエミッタ電位と抵抗 R_{42} とにより決定し、 $IDA2SET$ 端子より加算電流設定部49へ出力する。ここに、トランジスタ Q_{78} のエミッタ電位はトランジスタ Q_{71} のエミッタ電位とほぼ同電位となるので、トランジスタ Q_{71} のエミッタ電位がトランジスタ Q_{71} 、 Q_{76} 、 Q_{77} 、 Q_{78} を介してこのトランジスタ Q_{78} のエミッタ電位に換算される。

【0050】発光指令信号生成部42のベース電流補償は、トランジスタ Q_{77} のベース電流により行う。発光指令信号生成部42の電流 I_{DA1} は、電流 I_{PD} 、即ち、上述したように外部の受光素子4により決定される絶対電流である必要がある。ここに、例えば、図11に示す回路構成例の場合、トランジスタ Q_{71} のエミッタ電位と抵抗 R_{41} とで決定される基準電流は絶対電流である。そこで、この基準電流はカレントミラー回路56で反転された後、幾つかのトランジスタを経由して電流 I_{DA1} としてPD端子から流れる。幾つかのトランジスタを経由する間に各々のトランジスタのベース電流誤差が発生する。このようなベース電流誤差は、5ビットのD/A変換器中の各ビット（ b_0 、 b_1 、 b_2 、 b_3 、 b_4 ）で生ずる。このようなベース電流誤差を補償するためにトランジスタ Q_{77} のベース電流量を調整する。つまり、本実施の形態の回路構成の場合、基準となる電流に対してその基準電流のベース電流を経由するトランジスタの数だけ加算することにより、ベース電流による誤差電流の発生や特性変化を抑制することが可能となり、容易にベース電流補償を行える。

【0051】ここに、図12に示す回路構成は、図6に示したブロック図に関連する。図6を参照すれば、電流 I_{DA} は複数のトランジスタにより構成されたD/A変換器13、スイッチングトランジスタによる差動スイッチ14b、トランジスタによる電流-電圧変換器（ I/V 変換器）15bを介して流れる。上述したように、電流 I_{DA} がこれらの各部の複数のトランジスタを経由する間に生ずるベース電流誤差が補償される。

【0052】次に、発光指令信号生成部42の電流と加算電流設定部49の電流とを連動して外部信号より調整する部分について説明する。前述したように、発光指令信号生成部42の電流設定と加算電流設定部49の電流設定とはトランジスタ Q_{71} のエミッタ電位と抵抗 R_{41} とにより決定される。また、上述したようにトランジスタ Q_{71} のエミッタ電位は V_{REF11} 端子電位を入力とし、トランジスタ $Q_{72} \sim Q_{75}$ 等で構成されるボルテージフォロワ55の出力となっている。そこで、 V_{REF11} 端子と並列に抵抗 R_{43} 、 R_{44} 、トランジスタ Q_{79} を介して V_{CONT} 端子より制御電圧（外部電圧）を入力させる構成とすることにより、この制御電圧によってトランジスタ Q_{71} のエミッタ電位を変化させる。つまり、発光指令信号生成部42の電流と加算電流設定部49の電流とを連動させて増減させることが可能となる。よって、光・電気負帰還ループによる光出力の可変、及び、加算電流値制御システムによる光出力の可変を連動させて行わせることができる。この結果、光出力の変更波形を図5（b）に示した

場合と同様に矩形状波形に近似した波形に修正することができる。

【0053】次いで、発光指令信号生成部42について図12を参照して説明する。この発光指令信号生成部42は5ビット(b0, b1, b2, b3, b4)のD/A変換器と電流加算駆動部とを含んで構成されている。発光指令信号生成部42中のD/A変換器によりデジタル信号からアナログ信号に変換される5ビットのデジタルデータは、図9中に示したPWM&PM信号生成部31からPMDATA(光強度変調信号)として与えられるものである。

【0054】もっとも、より高精度な光出力の設定が必要な場合には、D/A変換器のビット数を増やしてもよい。或いは、パルス幅変調を主体とする場合であれば、D/A変換器のビット数を減らすようにしてもよい。本実施の形態では、D/A変換器はカレントミラー回路と抵抗ラダーとの組合せにより構成されているが、適宜同等の変形例を許容する。

【0055】電流加算駆動部は、電流 I_{DA1} とその反転電流とを各々トランジスタQ81, Q82のエミッタ電位で検出し、エミッタフォロワQ83, Q84を介した後、トランジスタQ4, Q5のベースに入力する。トランジスタQ81, Q82のエミッタ電位は、 I_{DA1} の電流値をそのまま反映した電位となるので、図10に示すようにトランジスタQ4, Q5で構成される差動スイッチ53においてもオン・オフの2値出力ではなく、D/A変換器を5ビットで構成した場合には5ビットの電流駆動出力を高速に得ることができる。

【0056】次に、図13に集積回路32中のパルス幅変調・強度変調信号生成部31側のより具体的な構成例を説明する。本実施の形態では、パルス幅変調を3ビット(即ち、8値)、強度変調を5ビット(即ち、32値)を組合せ、合計で1ドット当たり8ビット階調(256値)を出力し得る構成例とする。このパルス幅変調・強度変調信号生成部31は、例えば、データ変換部61と、パルス幅変調部62と、PLL構成のパルス生成発振器63とにより構成されている。これらの構成は前記第一の実施の形態中の図1で示した構成に類似しているので、その詳細は省略する。

【0057】ここに、集積回路32において画像データD0~D7が入力される入力部分の構成について図14(a)及び図14(b)を参照して説明する。バイポーラトランジスタ構成の集積回路32中、画像データが入力されるデータ変換部61の入力部には図14(a)に示すようにECL(エミッタ・カップルド・ロジック)回路71が設けられている。このECL回路71は2つの対をなすトランジスタQa, Qbのエミッタ同士を差動接続したもので、これらのエミッタには定電流源72が接続されている。ここに、前記ECL回路71はトランジスタQa, Qbのベース電位Va, Vbに関してV

a - Vbの値が±200mV程度あれば論理が成立する特性を持つ。従って、例えば電位Vbの値を固定した場合であれば、電位Vaとしては $V_a \geq V_b + 200\text{mV}$ であり、或いは、 $V_a \leq V_b - 200\text{mV}$ であり、ばらつきを考慮しても±250mVあればよい。結果として、Vaの電圧スイング量としては500mVあれば十分となる。

【0058】このような特殊性を示すECL回路71に対応させて集積回路32に入力される画像データは、通常の電圧スイング量0-5Vが、例えば、上記の0-500mVに極減されて入力されるように構成されている。具体的には、図14(a)に示すように電圧スイング量0~5Vの画像データが入力されるハーネス73等の伝送線路上に抵抗Raが設けられ、この伝送線路と電圧5Vの電源端子との間に抵抗Rbが設けられ、抵抗Ra, Rbの抵抗比が約9:1に設定されている(例えば、 $R_a = 1.5\text{k}\Omega$, $R_b = 165\Omega$)。このような回路は、インピーダンス整合回路74を構成している。

【0059】このような構成によれば、抵抗Raに入力される画像データが0-5Vの電圧スイング量を示すとき、伝送線路と抵抗Rbとの接続点(入力点)の電位は抵抗Ra, Rbの抵抗比により4.5-5Vを示す。よって、この接続点での電圧スイング量は0-500mVなる1/10に減じられて集積回路32中のECL回路71側に入力される。ここに、時定数 τ に関して、 $\tau = CR = C \cdot (V/I)$ を考えると、入力される電圧スイング量を小さくして電流を同量とした場合には時定数 τ を見掛け上、小さくすることができることになる。即ち、データ転送の高速化が可能となる。実際には、70~80MHz程度まで高速化が可能となる。また、このように電圧スイング量を小さくして入力させることにより駆動量も少なくなり、エネルギー的には約1/100に極減するので、省電力化を図る上で有利になるだけでなく、EMI対策上も有利となる。さらには、このような入力部がインピーダンス整合回路74として構成され、入力データの反射も起きにくいものとなる。

【0060】なお、インピーダンス整合回路74による入力部を構成する上で、図14(b)に示すように、抵抗Rbを接地側に接続してもよい。

【0061】また、本来の画像データを図15(a)に示すような電位Vのパルス波形とした場合、このパルス波形を図15(b)に示すような電位V/2の正論理波形と図15(c)に示すような電位V/2の負論理(反転論理)波形との組合せに2分割し、2本の伝送線路にてパラレルに入力させるようにしてもよい。より具体的には、図15(b)に示すような正論理波形に基づく信号をECL回路71のトランジスタQa側に入力させ、図15(c)に示すような負論理波形に基づく信号をECL回路71のトランジスタQb側に入力させ、両者の差動出力を得るようにすればよい。このケースの場合、

伝送線路と、トランジスタ Q_a 、 Q_b の各々のベースに接続された定電流源における入力トランジスタとは同じとなる。即ち、前述した入力点での電圧スイング量で考えると、正論理と負論理との組合せによるため、250 mVのスイング量でよいことになる。

【0062】このような入力方式によれば、エネルギー \propto (電圧)²であるため、図15(a)に示すような単一の画像データを利用する場合であれば、エネルギー的には図14(a)方式の場合の1/4に減少する。また、ノイズが伴う場合であっても、ノイズは正論理、負論理の信号の双方に同様の影響を及ぼし、その差動出力をとるため、結果的にノイズ成分が相殺されることになり、ノイズに強いデータ転送入力方式となる。

【0063】このようにして、本実施の形態によれば、パルス幅変調・強度変調信号生成部31と半導体レーザ制御・駆動部5とが全てバイポーラトランジスタにより1チップの集積回路32として集積化されているので、1ドット内でのパルス幅変調・強度変調混合方式に光・電気負帰還ループ6+加算電流値制御方式(図5(a)及び図5(b)参照)を加味して半導体レーザ3の駆動を制御するに当たり、小型で省電力化を達成し得るとともに、1チップの集積回路32内で全て処理されるのでより高速で高精度に機能させることができる。

【0064】タイミング生成部47は、例えば、遅延回路を用いて構成することも可能であるが、本実施の形態では、より詳細な図16に示すように、発振回路81とバイアス回路(図示せず)とラッチ回路82とにより構成されている。概略的には、発振回路81において生成された発振信号をラッチ回路82にてラッチし、ラッチしたデータを次段に順次伝達することにより、例えば、 $T_0 \sim T_5$ なる6個のタイミング信号を生成し、最終タイミングと同時に前記発振回路81を強制的に発振しないように抑制する構成とされている。

【0065】微分量子効率検出部46は、例えば、前記誤差増幅器43の誤差出力中のピーク値を検出するサンプルホールド回路83と、このサンプルホールド回路83の出力値を所定値と比較する比較器84とにより構成されている。

【0066】メモリ部48は、比較器84の比較結果をタイミング生成部47により生成されるタイミング $T_1 \sim T_5$ に同期して保持する機能を有する。加算電流設定部49は、例えば、5ビットのD/A変換器85により構成されている。

【0067】次に、これらの各部の構成、作用等について説明する。まず、前記発振回路81のバイポーラトランジスタによる回路構成例を図17に示す。また、イニシャライズ時の概略動作を図20に示す。トランジスタ Q_{22} のコレクタ電位 V_{Q22C} (TDSTART端子の電圧)が図20中の発振動作として表される。このトランジスタ Q_{22} のコレクタ電流が、トランジスタ Q_{24} 、 Q_{25} で構成さ

れる差動スイッチ86によりオン、オフさせる。例えば、トランジスタ Q_{22} のコレクタ電流がオンの時にトランジスタ Q_{21} のコレクタ電流よりも大きい場合には、トランジスタ Q_{22} のコレクタ電位 V_{Q22C} が減少する結果、コンデンサ C_1 はトランジスタ Q_{21} 、 Q_{22} のコレクタ電流間の差電流としてデイスチャージされる。一方、トランジスタ Q_{22} のコレクタ電流がオフの時にはトランジスタ Q_{22} のコレクタ電位 V_{Q22C} が増加する結果、コンデンサ C_1 がトランジスタ Q_{21} のコレクタ電流によってチャージされる。このようにコンデンサ C_1 がチャージ、デイスチャージを繰り返すことにより発振する。

【0068】まず、図20中に示すタイミング0、即ち、電源投入時より、前記スタートアップ部50から発振開始タイミング信号TSが送られてくるまでの間は、TDSTART端子の電位は強制的にHレベル(殆ど V_{cc} と同電位)であり、また、VPTDSTART端子は0Vである。よって、VPTDSTART端子より生成されるトランジスタ Q_{23} のコレクタ電流は0であり、差動スイッチ86もトランジスタ Q_{25} がLレベルであるが、トランジスタ Q_{23} のコレクタ電流が0であるので、トランジスタ Q_{22} のコレクタ電流も0となっている。

【0069】ここに、ラッチ回路82の最終段の構成を示す図19を参照すると、VPTDSTART端子の電位は0V、トランジスタ Q_{31} のコレクタ電流は0Aである。この結果、トランジスタ Q_{23} のベース電位は V_{cc} であり、トランジスタ Q_{23} のコレクタ電流は0Aとなる。また、差動スイッチ86において、トランジスタ Q_{23} のコレクタ電流が0Aであり、トランジスタ Q_{25} のベース電位がLレベルであるので、トランジスタ Q_{22} のコレクタ電流は0Aとなる。

【0070】その後、発振開始タイミング信号TSを過ぎると、VPTDSTART端子の電位がHレベルとなるので、トランジスタ Q_{22} のコレクタ電流が流れ始める。差動スイッチ86においてはトランジスタ Q_{25} がLレベルであるので、トランジスタ Q_{23} のコレクタ電流がトランジスタ Q_{26} に流れる。このとき、トランジスタ Q_{26} 、 Q_{22} によるカレントミラー回路87を介してトランジスタ Q_{22} にも同じ電流が流れる。このタイミングTSでは、トランジスタ Q_{22} のコレクタ電流がトランジスタ Q_{21} のコレクタ電流より大きい場合にはトランジスタ Q_{22} のコレクタ電位 V_{Q22C} 、即ち、TDSTART端子電位は、徐々に低下する。そして、トランジスタ Q_{24} のベース電位がトランジスタ Q_{25} のベース電位と同電位若しくはより低下する瞬間に、差動スイッチ86が動作し、トランジスタ Q_{24} がオンとなりトランジスタ Q_{26} のコレクタ電流、従って、トランジスタ Q_{22} のコレクタ電流がオフとなり、トランジスタ Q_{25} のベース電位はトランジスタ Q_{24} のコレクタ電流と抵抗 R_{11} とで決まる電位分上昇する。この瞬間が、タイミング T_0 である。

【0071】タイミング T_0 を過ぎると、トランジスタ

Q22のコレクタ電流がオフとなるので、トランジスタQ22のコレクタ電位V_{Q22C}、即ち、TDSTART端子電位は、徐々に上昇する。そして、トランジスタQ24のベース電位がトランジスタQ25のベース電位と同電位若しくはより上昇する瞬間に、差動スイッチ86が反転し、トランジスタQ22のコレクタ電流がオンとなる。このようにして発振動作を繰り返す。この発振の振幅は、トランジスタQ24のコレクタ電流と抵抗R₁₁とで決まる電位で決定される。周期はトランジスタQ21のコレクタ電流、トランジスタQ22のコレクタ電流、コンデンサC₁の容量により決定される。これらの値を適正に決定することにより所望のタイミング信号を得ることができる。

【0072】このような動作において、トランジスタQ22のコレクタ電流がトランジスタQ21のコレクタ電流の丁度2倍の時、トランジスタQ21のコレクタ電流と、
(トランジスタQ22のコレクタ電流) - (トランジスタQ21のコレクタ電流) なる電流とが等しくなり、コンデンサC₁にチャージ、ディスチャージされる単位時間当たりの電荷量が等しくなる。よって、図20中に示すような、立上り時間と立下り時間とが等しい三角波となる。

【0073】このような発振回路81の発振出力としてトランジスタQ25のベースに方形波が得られ、電圧シフト、スイング量調整、反転なる処理がなされた後、トランジスタQ_X (図示せず)のエミッタ電位V_{QXE}の出力波形が得られる。エミッタ電位V_{QXE}の波形がコレクタ電位V_{Q22C}の三角波形を2つのレベル信号を用いて変換して得られることは周知である。

【0074】次に、前記ラッチ回路82の1構成単位となるラッチ回路88の回路構成例を図18に示す。前記ラッチ回路82は、本実施の形態においては、タイミング信号T0～T5を生成するため、ラッチ回路88が6段に接続されて構成される。図18に示すラッチ回路88はその1構成単位例であり、タイミング信号T0生成用である。図示例にあっては、複数のトランジスタ、抵抗を構成要素として構成されており、この内、トランジスタQ31～Q33で1つのスイッチ89aを形成し、また、トランジスタQ34～Q36で1つのスイッチ89bを形成している。前記スイッチ89aにおいては、前記トランジスタQ33のコレクタ電流がオンの時、トランジスタQ31のベース電位、即ち、入力データをトランジスタQ37のベース電位及びエミッタ電位に反転して出力する。また、スイッチ89bにおいては、トランジスタQ36のコレクタ電流がオンの時、トランジスタQ34のベースがトランジスタQ37のエミッタに接続されるので、出力をそのまま保持する動作となる。

【0075】トランジスタQ33のベースをCLK、トランジスタQ36のベースを/CLK、トランジスタQ31のベースをDATA0、トランジスタQ37のエミッタを出力Qとして、これらの関係を論理式で表すと、

$$Q = \text{CLK} \cdot \text{DATA0} + /\text{CLK} \cdot Q$$

となる。

【0076】ここで、前述したようにトランジスタQ_X (図20参照)のエミッタ電位V_{QXE}、つまり、トランジスタQ36のベース/CLKは、タイミングTSよりタイミングT0までHレベルで出力保持状態にある。また、トランジスタQ38、Q39等で構成される電流源90は、タイミングTSまでは電流が0でタイミングTSとなる瞬間より電流が流れる。トランジスタQ36のベース/CLKがHレベル、出力Qが出力保持状態にあるので、出力QはタイミングT0までHレベルとなっている。タイミングT0となると、/CLK (=V_{QXE})がLレベルでトランジスタQ31のベース入力DATA0であるので、出力Qが初めてLレベルとなり、タイミングT0以降、トランジスタQ31のベース(入力データ)がLレベルであるので、出力QはLレベルの状態を保持する。この状態を、図20中のトランジスタQ37のエミッタ電位V_{Q37E} (タイミング信号T0)の波形として示す。

【0077】図示しない次段では、CLKを反転入力し、トランジスタQ37のエミッタ電位V_{Q37E}をDATA1とすると、

$$Q' = /\text{CLK} \cdot \text{DATA1} + \text{CLK} \cdot Q'$$

とすることで、図20中にV_{Q37(1)E}で示すタイミング信号T1を得ることができる。実際、次段のラッチ回路のスイッチ89aは、/CLKの立上りエッジのタイミングで入力データDATA1 (Lレベル)を出力し、入力データDATA1がLレベルに保持されているためLレベルの出力が保持される。

【0078】以下、同様にタイミング信号T2～T5を得ることができる。図20中のV_{Q37(n)E}における“n”は段数1～5を示す。

【0079】さらに、図19に示すように、タイミング信号T5を生成する最終段のラッチ回路88_Lにおいて、トランジスタQ31のコレクタ電流は発振回路81中のトランジスタQ23のベースに与えられており、発振回路81を駆動させる電圧とされている。従って、トランジスタQ23のベース電位はタイミングTSからタイミングT5までの間、供給される。しかし、トランジスタQ23のベース電位は、タイミングT5となる瞬間にトランジスタQ23のコレクタ電流をオフさせると供給されない。

【0080】つまり、必要なタイミング信号を生成する間のみ発振し、所望のタイミング信号を生成し終わると同時に発振を停止することで、発振回路81の発振動作が他の回路に雑音や電流変動等の悪影響を及ぼさない回路構成とされている。また、前述したようなタイミング信号T0～T5を生成するためには遅延回路等を用いて構成することも可能であるが、本実施の形態のように、発振回路81を用いて構成することにより、唯一、コンデンサC₁をLSI (集積回路32) 外の外付け素子と

することで多数のタイミング信号を生成する場合であっても、発振回路81のタイミングを自在に設定することができる。もっとも、タイミング生成部47を遅延回路を用いて構成した場合、タイミングを自在に設定するためには各々のタイミングを決定する外付け素子を必要とするが、必要とするタイミング数が少ない場合には遅延回路を用いるほうがラッチ回路を必要としない利点がある。何れにしても、光・電気負帰還ループ6の制御速度を自由に設定できる上に、半導体レーザ3・受光素子4の周波数特性の影響を受けない光出力波形を得ることもでき、集積回路32のイニシャライズ時間を最適化を図る上で都合がよい。

【0081】また、一般に、半導体レーザ3・受光素子4間には、周波数特性が存在し、この周波数特性が、上述の制御系（光・電気負帰還ループ6）の動作や上述のタイミング設定に影響を及ぼさない良好な特性である場合には問題はないが、この周波数特性がよくない場合には、もし、上述のタイミングが一定である場合には、この半導体レーザ3・受光素子4間の周波数特性を補償するための回路を追加するか、或いは、上述のタイミングを十分遅くなるように設定する必要がある。しかし、このようなタイミングを十分に遅く設定すると、それだけイニシャライズの時間が長くなってしまい、かといって、周波数特性補償回路を付加すると素子数が増えてしまい、何れにしても好ましくない。この点、本実施の形態のように、タイミング生成部47を発振回路81を用いて構成することにより、コンデンサC₁の容量を変更するだけで周波数特性を補償するための回路を必要とせず、かつ、全てのイニシャライズ時間が長くなることもないので、素子数を低減させつつ効率的なイニシャライズを行わせることができる。さらに、このような発振回路81を用いてタイミング信号を生成する場合、通常は、フリップフロップを用いるが、本実施の形態のように必要段数のラッチ回路88を組み合わせたラッチ回路82を用いることにより、素子数を低減させ得る。

【0082】次に、これらのタイミング信号により制御されるイニシャライズ時の概略動作を図20のタイムチャート、図21に示す微分量子効率検出部46の回路構成例を参照して説明する。まず、半導体レーザ3の光出力を、タイミングTSに強制的なオフ状態より所望の最大発光状態とする。この最大発光値は、発光指令電流生成部42において既に設定されているものとする。そして、タイミングT0に入力データを全て0としてオフセット発光状態とし、この状態をタイミングT5まで維持した後、タイミングT5以降を本来の入力データを受け付ける通常動作状態とする。光・電気負帰還ループ6を動作させるためには、半導体レーザ3の光出力を完全にオフにはせず、わずかに光らせるオフセット発光が必要である。従って、実際には、半導体レーザ3の光出力は、設定した最大発光とオフセット発光との間で光・電

気負帰還ループ6により制御される。

【0083】半導体レーザ3の光出力は、イニシャライズ時、即ち、電源投入時やリセット解除時において、必ず、図20に示すようなシーケンス動作を実行することにより微分量子効率をその度に検出し、適切な加算電流値を設定する。

【0084】図20中に示すような最大発光とオフセット発光との差分、即ち、動作電流I_{op}・発振閾値電流I_{th}が微分量子効率であるので、微分量子効率検出部46中のサンプルホールド回路83においてこの差分を検出する。概略的には、この差分は、最大発光時とオフセット発光時との間における、抵抗R_e（図16参照）の端子間電位の差に相当する。電流駆動部44なる高速電圧シフト部45が動作していない状態においては、この差分は、誤差増幅器43のトランジスタQ₁₂（図10参照）の2つのケースにおけるエミッタ電位の差に依存する。そこで、最大発光時のこのトランジスタQ₁₂のエミッタ電位をサンプルホールドし、タイミングT0においては0であった高速電圧シフト部45の電位シフト量を加算電流設定部49により徐々に変化させて、前記差分を、高速電圧シフト部45における抵抗R₂（図10参照）の電位変化とすることにより微分量子効率を検出する。

【0085】詳細には、図21に示すようにトランジスタQ₁₂のエミッタ電位、即ち、VCOMP端子はトランジスタQ₄₂のエミッタフォロワ91を介してトランジスタQ₄₃のベース電位となる。このトランジスタQ₄₃のベース電位はトランジスタQ₄₅等で構成される電流源92の電流が流れている間は、トランジスタQ₄₁、Q₄₆、Q₄₇、Q₄₈等で構成されるボルテージフォロワ53によりトランジスタQ₄₄のベース電位と同電位となる。タイミングT0で電流源92の電流をオフさせると、トランジスタQ₄₃のベース電位の変化はVCOMP端子の電位変化をそのまま示す。しかし、トランジスタQ₄₄のベース電位はコンデンサC₂の容量が大きいほど変化せず、タイミングT0におけるトランジスタQ₄₃のベース電位、つまり、最大発光時のトランジスタQ₁₂のエミッタ電位をサンプルホールドすることが可能となる。図20中の下部にこれらのトランジスタQ₄₃、Q₄₄によりサンプルホールドされる概略波形を示す。

【0086】サンプルホールドされたこれらのトランジスタQ₄₃、Q₄₄のベース電位をトランジスタQ₄₉、Q₅₀等による比較器84に入力してその大小を比較する。この比較結果をタイミング信号T1～T5に同期してメモリ部48にて保持する。従って、このメモリ部48は、特に構成例を図示しないが、比較器84の比較出力をタイミング信号T1～T5に同期して保持し得る機能を有していればよい。例えば、メモリ部48はタイミング生成部47で用いたような5段のラッチ回路で構成し、比較器84の比較においてトランジスタQ₄₃側のベース電

位がトランジスタQ44側のベース電位よりも高い場合にLレベルを出力するように構成すればよい。

【0087】加算電流設定部49は、2段の差動スイッチで構成される5個のスイッチと、これらのスイッチ部の電流源に電流を供給するカレントミラー回路と、各スイッチ部の出力を加算して電流駆動部（高速電圧シフト部45）の出力とするカレントミラー回路とにより構成されている。ここに、5個のスイッチ部により基本的に5ビットのD/A変換器85が構成され、これらのスイッチ部の電流源は、最小ビット電流をI1とすると、次のビットのスイッチ部では2*I1、さらに上位ビットのスイッチ部毎に4*I1、8*I1、16*I1となるように設定されている。これにより、スイッチ部全体の出力電流としては最大31*I1となる。この時に、電流駆動部（高速電圧シフト部45）において設定される最大電流（最大電圧）が、前述した（動作電流Iop）-（発振閾値電流Ith）の最大値よりも大きくなるように設定する。

【0088】ここで、タイミングT0に、図20に示すように半導体レーザ3の光出力を最大発光状態よりオフセット発光状態とすると同時にスイッチ部の最上位ビットの電流を強制的に出力する。この状態では、最大発光状態からオフセット状態となって最上位ビットのスイッチ部の電流を強制的に出力することにより電圧シフト部の端子間電位にも電位変化を生ずるので、光・電気負帰還ループ6なる制御系により半導体レーザ3の光出力がオフセット発光状態となるように制御が働くので、これらの電位変化の差分を捕うように変化する。これにより、VCOMP 端子の電位は変化する。このような変化分を微分量子効率検出部46において検出する。そして、この時点のVCOMP 端子の電位と最大発光状態時のVCOMP 端子の電位とを比較する。比較の結果をメモリ部48に格納する。メモリ部48ではこの結果をラッチし、加算電流設定部49の最上位ビットのスイッチ部を再設定する。VCOMP 端子の電位が最大発光状態時におけるその電位より大きいときは設定をオフし、逆に、VCOMP 端子の電位が最大発光状態時におけるその電位より小さいときは設定をオンする。ここで、タイミングT0~T1（T1~T2、…、T4~T5も同様）は、この間に光・電気負帰還ループ6なる制御系が十分収束する時間に設定する必要がある。

【0089】タイミングT1においてもタイミングT0の場合と同様に、上位2ビット目を強制的に出力させ、タイミングT2にてその結果を再設定する。ここに、タイミングT2において検出時のVCOMP 端子の電位と最大発光状態時のVCOMP 端子の電位とを比較し、その比較結果に応じてビットのスイッチ部の再設定のオン/オフを決定する。本実施の形態では、微分量子効率を5ビット分のD/Aの精度で検出しているので、5ビット分、同様に繰り返して行う。この時のベース電位の変化の様子

を図示すると、図20中の下部に示すトランジスタQ44のベース電位の場合と同様になる。この場合の図示例は、下位ビットより順に

1, 1, 1, 0, 1

となった場合の波形を示している。

【0090】本実施の形態では、微分量子効率検出部46及び加算電流設定部49の検出精度を5ビットとしているが、さらにビット数を増やして検出精度を上げれば、図10(b)に示す光出力波形において、Ps分の光出力分が所望の光出力となり、光・電気負帰還ループ6なる制御系による光出力の制御分が少なくなり、光出力波形がより理想的な方形波に近づく。

【0091】次に、図22にバイポーラトランジスタを用いた電源部101の回路構成例を示す。においては、トランジスタQ51、Q52、抵抗R21、R22、R23等で構成される回路においてバンドギャップリファレンスを形成し、

$$V = (Q53 \text{ のエミッタ電位} - V_{be})$$

V_{be} : トランジスタのベース・エミッタ間電圧

が温度によりなるべく変化しないようにトランジスタのエミッタ面積や抵抗値を決定する。その結果、トランジスタQ54、Q55、Q56の各々のエミッタ電位が温度特性を持たない安定電位となる。図22に示す回路構成の場合、トランジスタQ54のエミッタに抵抗R24を接続することにより流れる電流をカレントミラー回路102で折り返すことにより得ている。これにより、集積回路20内で用いる電流源が生成される。つまり、集積回路32中、スタートアップ部50中等におけるVBBP端子をベース電位とするPNPトランジスタを流れる電流は全て定電流源となり、同様に、VBBN端子をベース電位とするNPNトランジスタを流れる電流は全て定電流源となる。各々のトランジスタのエミッタに接続される抵抗によりその電流値が決定される。

【0092】また、スタートアップ部50について説明する。このスタートアップ部50は、電源投入時に電源電圧Vccがまだ所定の値に達するまでの期間に、半導体レーザ3に過大電流が流れることにより発生する半導体レーザ3の劣化や破損から保護する役目を担う。また、スタートアップ部50は前記タイミング生成部47において必要なイニシャライズ開始信号の生成を行う役目を担う。このスタートアップ部50は図23に示すように第1のスタートアップ部50aと第2のスタートアップ部50bとにより構成されている。

【0093】まず、第1のスタートアップ部50aでは、トランジスタQ61、Q62で構成される差動スイッチ111において、電源電圧Vccが0Vより或る設定電位まではトランジスタQ62がオンしており、電源電圧Vccが或る設定電位を超えて所定の電位となる範囲ではトランジスタQ61がオンするように抵抗R31~R37等を設定する。この場合、或る設定電位は、なるべく電源電圧V

ccの所定の電位に近い電位に設定される。例えば、電源電圧の所定の電位が5.0Vの場合において、或る設定電位が2~3V程度に設定した場合にはまだ回路全体が所望の動作をしているとはいえないが、4.5V程度に設定すればほぼ回路全体が所望の動作をしていると考えてよい。そこで、上記のケースでは4.5Vに設定されている。このように電源電圧が或る設定電圧に達してから所望の動作を開始するので、より安全に半導体レーザ3の保護とイニシャライズ開始信号の生成とを行うことができる。

【0094】詳細には、図23に示すように、トランジスタQ62のベース電位はトランジスタQ63のコレクタ電位をエミッタフォロウ112を介して電圧シフトしているだけである。よって、トランジスタQ62のベース電位はトランジスタQ63のコレクタ電位により決定される。同様にトランジスタQ61のベース電位はトランジスタQ64がオフしている限りトランジスタQ65のコレクタ電位により決定される。トランジスタQ63のコレクタ電位は、トランジスタQ66と抵抗R33と電源電圧とより決定される。トランジスタQ66と抵抗R33とで構成される電

流源の電流を I_1 、電源電圧を V_{cc} とすると、トランジスタQ63のコレクタ電位 V_{q63c} は、 $V_{q63c} = V_{cc} - I_1 * R_{31}$ となる。ここで、電流 I_1 はVBBN端子から供給される電圧をベース電位とする定電流源であるので、 $I_1 * R_{31}$ は一定電位となる。本来、電源部101も電源電圧より駆動されるので、電源電圧が0Vであれば電流 I_1 も0Aとなる。しかし、或る設定電位はなるべく電源電圧の所定の電位に近い電位に設定されるので、このトランジスタQ61、Q62で構成される差動スイッチ111がスイ

ッチングする状態(時間)においては、十分、電源部101は機能しており、電流 I_1 も定電流になっているものとする。すると、 V_{q63c} は電源電圧 V_{cc} に従い変化する。

【0095】トランジスタQ65のコレクタ電位 V_{q65c} は、上式と同様に、トランジスタQ67と抵抗R34とで構成される電流源の電流を I_2 とすると、 $V_{q65c} = V_{cc} - I_2 * R_{32}$ となる。ここで、抵抗R34、R35が等しい抵抗値を有するものとして抵抗R36を流れる電流を考えると、 $V_{cc} = (I_2 + I_3) * R_{36} + V_{be} + I_2 * R_{35}$ となる。ここで、電流 I_3 はトランジスタQ68と抵抗R37とで構成される定電流源の電流値、 V_{be} はトランジスタのベース・エミッタ間電圧である。

【0096】上式より、 $V_{q65c} = I_3 * R_{36} + V_{be} + I_2 * (R_{36} + R_{35} - R_{32})$ となる。ここで、 $I_3 * R_{36}$ は電流 I_1 と同様に一定電位となり、 V_{be} もほぼ一定電位となるので、 $R_{36} + R_{35} = R_{32}$

であれば、トランジスタQ65のコレクタ電位 V_{q65c} は電

源電圧に依存しない一定電位にすることができる。つまり、トランジスタQ65のコレクタ電位 V_{q65c} は一定電位であり、トランジスタQ63のコレクタ電位 V_{q63c} は電源電圧 V_{cc} に従い変化する。そこで、双方の電位を適当に設定することにより、電源投入時に電源電圧の変化に応じてトランジスタQ61、Q62で構成される差動スイッチ111を適当なタイミングでスイッチングさせることが可能となる。その結果、電源電圧 V_{cc} が0Vから或る設定電位に達するまでは、トランジスタQ62がオンしている。この状態では、トランジスタQ62を流れるコレクタ電流はカレントミラー回路113により反転され、トランジスタQ69、Q70がオンとなる。これにより、TDSTART端子とTD端子との電位を強制的にほぼ V_{cc} と同電位にする。具体的制御としては、受光素子4のPD端子の電位を強制的にHレベルとすることにより誤差増幅器23の出力が強制的なLレベルとされる。このようにして半導体レーザ3の順方向電流が流れないように抑制することで半導体レーザ3の保護を行う。また、同時に、後述するように、TDSTART端子の電位を強制的にHレベルとすることで、タイミング生成部47における発振回路を強制的に発振しないように抑制する。そして、電源電圧 V_{cc} が或る設定電位以上になる、つまり、トランジスタQ61がオン状態に変化すると、半導体レーザ3の保護を解除して通常動作状態とし、かつ、前記タイミング生成部47における発振回路の発振抑制を解除することにより発振開始信号とする。同時に、前記タイミング生成部47の電流源を生成するVPTDSTART端子電位を出力する。

【0097】なお、本実施の形態では、発光指令信号生成部42を2つのD/A変換器を発光指令信号生成部第1、2構成部42a、42bとして並列接続することにより構成したが、図24に例示するように、2つのD/A変換器を共通化させて1つの回路として発光指令信号生成部42として構成するようにしてもよい。これによれば、同じ機能を果たす部分が共通化されているので、回路を構成する素子数を低減させることができる。

【0098】次に、図25に半導体レーザ劣化検出部121のバイポーラトランジスタによる構成例を示す。半導体レーザ3が劣化する場合に多少の劣化であれば、光・電気負帰還ループ6と電流駆動部44の電流設定においてその値を検出することで設定し得るが、大幅に劣化し、駆動部に大電流が流れてしまう場合には、集積回路32の保護のために劣化検出部が必要である。半導体レーザ劣化検出部121はこのために設けられている。この回路の動作としては、半導体レーザ3につながるLD端子の電位VLDを常に監視し、ある比較電位を超えたらエラー端子LDERR端子よりエラー信号を外部に出力する。図示例の回路では、差動アンプ122はトランジスタQ57、Q58により構成されている。トランジスタQ59に与えられる比較電位は図22により説明した電源部1

01より生成される。トランジスタQ58に与えられるLD端子の電位VLDがこの電位を超えるとトランジスタQ58がオンとなり、LDERR端子よりトランジスタQ59のコレクタに電流が流れる。ここに、オープンコレクタが構成されている。

【0099】これにより、半導体レーザ3が劣化したり故障した場合には、半導体レーザ3が過剰な光出力を出し、LD端子の電位VLDが過剰に上昇することで、半導体レーザ劣化検出部121によって未然に検出してエラー信号を出力させることができるので、そのままの状態

10で使が継続されることがなく、危険防止を図ることができる。
【0100】続いて、本発明の第三の実施の形態を図26ないし図34に基づいて説明する。本実施の形態は、*

*特にデータ変換部61、パルス幅変調部62の具体的構成例を明らかにするものである。前述した第一の実施の形態におけるデータ変換部16やパルス幅変調部17による論理演算に関して、パルスPW_{on}はパルスPW_{da}より常に最小パルス分だけ短いパルスである、という相関関係を有しているため、変調データの一部を共通化できる。即ち、D_{ni}=D_{ni'}、D_{mj}=D_{mj'}とする。よって、例えば図7において論理部22、24を省略でき、データ変換部16の素子数を減らし、パルス幅変調部17に対するデータ線の本数を減らすこともできる。

【0101】即ち、以下の論理式に示すようにすればよい。

【0102】

【数3】

$$\begin{aligned} PW_{da} &= X_0 (X_n \cdot D_{n3} + X_{n'} \cdot \overline{D_{n3}}) + \overline{X_0} (X_n \cdot D_{n3} + X_{n'} \cdot \overline{D_{n3}}) \\ PW_{on} &= X_0 (X_n \cdot \overline{D_{n3}} + X_{n'} \cdot D_{n3}) + \overline{X_0} (X_n \cdot \overline{D_{n3}} + X_{n'} \cdot D_{n3}) \end{aligned}$$

..... (4)

$$\begin{aligned} X_n &= X_1 D_{n1} D_{n3} D_{n4} + \overline{X_1} \overline{D_{n1}} \overline{D_{n3}} \overline{D_{n4}} + D_{n3} D_{n4} \\ X_{n'} &= (X_5, X_6, X_7, X_H) \\ D_{n1} &= (\overline{D_{n1}} \overline{D_{n2}}, D_{n1} \overline{D_{n2}}, \overline{D_{n1}} D_{n2}, D_{n1} D_{n2}) \\ X_n &= X_j D_{nj} D_{n3} D_{n4} + \overline{X_j} \overline{D_{nj}} \overline{D_{n3}} \overline{D_{n4}} + D_{n3} D_{n4} \\ X_j &= (X_1, X_2, X_3, X_H) \\ D_{nj} &= (\overline{D_{n1}} \overline{D_{n2}}, D_{n1} \overline{D_{n2}}, \overline{D_{n1}} D_{n2}, D_{n1} D_{n2}) \\ X_{n'} &= X_{i'} D_{ni} D_{n3} D_{n4} + \overline{X_{i'}} \overline{D_{ni}} \overline{D_{n3}} \overline{D_{n4}} + D_{n3} D_{n4} \\ X_{i'} &= (X_1, X_5, X_6, X_7) \\ X_{n'} &= X_{j'} D_{nj} D_{n3} D_{n4} + \overline{X_{j'}} \overline{D_{nj}} \overline{D_{n3}} \overline{D_{n4}} + D_{n3} D_{n4} \\ X_{j'} &= (X_1, X_1, X_2, X_3) \end{aligned}$$

..... (5)

$$\begin{aligned} D_{n1} &= P D_5 + \overline{P} \overline{D_5} & D_{n2} &= P D_6 + \overline{P} \overline{D_6} \\ D_{n3} &= P & D_{n4} &= \overline{D_7} \\ D_{n1} &= P D_5 + \overline{P} \overline{D_5} & D_{n2} &= P D_6 + \overline{P} \overline{D_6} \\ D_{n3} &= P & D_{n4} &= \overline{D_7} \end{aligned}$$

..... (6)

【0103】さらには、通常、入力するデータ列を画像データNビットのデータ列とすると、出力できる階調数は最大2^Nであり、0/2^N~2^N/2^Nなる2^N+1個の出力ステートのうち、1つ或いは数個が欠落している。また、入力データ列としてさらに位置制御信号1ビットを加えると左寄せ波形、右寄せ波形各々のモードで2^N値階調出力となるが、何れのモードとも、出力ステートのうち、1つが欠落している。そのため、完全に2^N+1個の階調を得るためには画像デー

タとしてN+1ビットと位置制御信号1ビットとが必要となる。しかし、フルオフ(0/2^N)及びフルオン(2^N/2^N)は左寄せ波形、右寄せ波形の何れでも同一波形であるので、フルオフ、フルオン及び各々左寄せ波形、右寄せ波形の中間値1/2^N~(2^N-1)/2^N(2×(2^N-1))個の計2^N(N+1)個のステートを出力するようにすれば、N+1ビットのデータ列からでも位置制御まで含めた2^N+1値階調出力となる。

【0104】例えば、データ列を4ビットとし、1ドット当たり9値階調(0/8~8/8の9値であり、0/8(常にオフ)、8/8(常にオン)、各々左寄せ又は右寄せ波形の1/8~7/8の計16のステートを持つ)を持たせればよい。入力する画像データをこのようなデータ列とすれば、1ビット少ないデータ列で同じ階調数が得られる。よって、入力データ転送レートを低減でき、入力端子数も低減できる。さらには、データ変換部21の前段に通常用いられるバッファメモリも低減させることができる。逆にいえば、入力データ線数が決まっている場合には、このようなデータ列とすることにより、階調数を増加させることができる。特に、1ドット当たりのデータのビット数が少ないときには効果的とな*

＊る。

【0105】具体的に、書込みクロック周波数を2倍にする場合、上位4ビット、下位4ビットで各々1ドット当たりドット位置制御を含めた9値階調とするデータ列とすれば、書込みクロック周波数を2倍にした場合において入力データ線数を増やすことなく階調数を増加させて、高品位な画像を得ることができる。

【0106】即ち、(7)(8)(9)式のようにすればよい。なお、(7)式で X_n 、 X_n' 、 X_m 、 X_m' は(5)式に従う。また、強度変調データ D_{pk} は $M=0$ のとき、 D_{p4} のみHレベルとし他は全てLレベルとする。

【0107】

【数4】

$$\begin{aligned} PW_{da} &= X_0 (X_n \overline{D_{n5}} + X_n' D_{n5}) + \overline{X_0} (X_n \overline{D_{n5}} + X_n' D_{n5}) \\ PW_{on} &= X_0 (X_n D_{n8} + X_n' \overline{D_{n8}}) + \overline{X_0} (X_n D_{n8} + X_n' \overline{D_{n8}}) \end{aligned} \quad (7)$$

$$\begin{aligned} D_{n1} &= M (P D_5 + \overline{P} \overline{D_5}) + \overline{M} (D_7 D_5 + \overline{D_7} \overline{D_5}) \\ D_{n2} &= M (P D_6 + \overline{P} \overline{D_6}) + \overline{M} (D_7 D_6 + \overline{D_7} \overline{D_6}) \\ D_{n3} &= M P + \overline{M} D_7 \\ D_{n4} &= M \overline{D_7} + \overline{M} D_7 \\ D_{n5} &= M \overline{P} + \overline{M} \overline{D_7} D_4 \\ D_{n6} &= M \overline{P} + \overline{M} \overline{D_7} D_4 \\ D_{n1} &= M (P D_5 + \overline{P} \overline{D_5}) + \overline{M} (D_3 D_0 + \overline{D_3} \overline{D_0}) \\ D_{n2} &= M (P D_6 + \overline{P} \overline{D_6}) + \overline{M} (D_3 D_1 + \overline{D_3} \overline{D_1}) \\ D_{n3} &= M P + \overline{M} D_3 \\ D_{n4} &= M D_7 + \overline{M} D_3 \\ D_{n5} &= M \overline{P} + \overline{M} \overline{D_3} D_0 \\ D_{n6} &= M \overline{P} + \overline{M} \overline{D_3} D_0 \end{aligned} \quad (8)$$

$$\begin{aligned} D_{p4} &= M D_4 + \overline{M} \\ D_{pk} &= M D_k \quad (k=0, \dots, 3) \end{aligned} \quad (9)$$

【0108】さらに、パルス幅変調部17に関して、強制消灯指令信号 SW_1 や強制発光指令信号 SW_2 を加味した場合には、(7)式に代えて(10)式のような論理式を用いることにより、入力した画像データに拘らず、半導体レーザ3を強制的に消灯或いは発光させることができる。

ただし、強制消灯指令信号 SW_1 や強制発光指令信号 SW_2 が同時にHレベルになることはないものとする。

【0109】

【数5】

$$PW_{da} = (X_0 (X_n \overline{D_{n5}} + X_n' D_{n5}) + \overline{X_0} (X_n \overline{D_{n5}} + X_n' D_{n5})) \times \frac{S_{v1} S_{v2} + \overline{S_{v1}} \overline{S_{v2}}}{S_{v1} S_{v2} + \overline{S_{v1}} \overline{S_{v2}}}$$

$$PW_{oa} = (X_0 (X_n \overline{D_{n6}} + X_n' D_{n6}) + \overline{X_0} (X_n \overline{D_{n6}} + X_n' D_{n6})) \times \frac{S_{v1} S_{v2} + \overline{S_{v1}} \overline{S_{v2}}}{S_{v1} S_{v2} + \overline{S_{v1}} \overline{S_{v2}}}$$

..... (10)

【0110】図20に、(10)(5)(8)式の論理記述に従ってパルス幅変調を行うように構成されたデータ変換部61、パルス幅変調部62及びスイッチ部131のブロック構成例を示す。まず、データ変換部61には入力された画像データD₀～D₇、位置制御データP及び周波数選択信号Mに基づき(8)式の論理を行いパルス幅変調データに変換する2つの論理部142、143が設けられている。これらの論理部142、143の出力側には変換されたパルス幅変調データを一時的に保持する手段、例えば、ラッチ回路144、145が設けられている。これらのラッチ回路144、145にはパルス生成発振器63からの出力に基づきゲート信号を生成するゲート信号生成回路146が接続されている。

【0111】さらに、パルス幅変調部62にはマルチプレクサ147～150が設けられている。最初のマルチプレクサ147は位相差の異なるパルスX₀～X₇のうちの4つ(X_i)を入力とし、セレクト信号であるパルス幅変調信号D_{n1}～D_{n4}に従い入力信号X_iのうちの1つの正転又は反転信号或いは常にHレベル又はLレベルの信号を選択する機能を持つ。マルチプレクサ148～150についても同様である。さらに、これらのマルチプレクサ147～150の後段にもマルチプレクサ151、152が設けられている。マルチプレクサ151はマルチプレクサ147、148の出力であるX_n、X_{n'}の何れかをセレクト信号であるパルス幅変調信号D_{n5}、D_{n6}に従い選択する。マルチプレクサ152についても同様である。マルチプレクサ151、152の出力はパルス生成発振器63による内部クロックとにより、(10)式の論理に従いパルスPW_{da}、PW_{oa}を生成するANDゲート154a～154d、ORゲート154e、154fが設けられている。ORゲート154e、154fの出力にはスイッチ部131を構成するマルチプレクサ155、156が介在されている。これらのマルチプレクサ155、156は強制消灯指令信号S_{w1}又は強制発光指令信号S_{w2}に従い、ORゲート154e、154fからの出力をそのまま、或いは、常時Lレベル又は常時Hレベルに切り換えて出力する機能を持つ。

【0112】このようなデータ変換部61、パルス幅変調部62及びスイッチ部131は、容易にバイポーラトランジスタ等により集積化することができる。例えば、

入力される画像データの保持や変調データの保持に用いられるデータ保持手段の一例をなすラッチ回路134の構成例を図27に示す。いま、入力するデータをD、/D(差動入力)、保持したデータをQ、/Qとすると、Q=DG+Q(/G)

のように記述できる。つまり、ラッチゲート信号GがHレベルの時、入力信号Dを出力し、ラッチゲート信号GがLレベルの時、前のデータを保持する。このラッチゲート信号Gは、パルス生成発振器63等により発生するパルス或いはその組合せに基づきゲート信号生成回路146で容易に生成できる。例えば、図8に示したタイムチャートを参照すれば、X_nを選択するための変調データD_nを保持するためのラッチゲート信号G₁は、G₁=X₂・X₄とすればよく、X_mを選択するための変調データD_mを保持するためのラッチゲート信号G₂は、G₂=X₆・X₀とすればよい。

【0113】また、図27に示すようなラッチ回路144を2個縦列接続し、後段のラッチゲート信号を前段のラッチ回路に対するラッチゲート信号を反転させた信号、或いは、前段のラッチゲート信号がLレベルの期間中の或る一定期間だけHレベルになる信号とすれば、フリップフロップ構成となる。データ保持手段をフリップフロップ構成とすれば、前段のラッチゲート信号の立下り直前のデータが1クロックの間、ずっと保持されるので(ラッチ回路144のみでは、ゲートトリガ信号がHレベルの間に变化すると出力も変化してしまう)、強度変調データの保持手段としては適している。

【0114】図28は、論理部142の一部をなし(8)式のD_{n1}に関する第1式をバイポーラトランジスタにより構成した論理回路157の例を示す。この論理回路157の出力を図27に示すようなラッチ回路144等により保持すればよい。

【0115】もっとも、図29に示すように、パルス幅変調データD_{n1}の生成とその保持を同時に行う論理回路158として構成することで、素子数を減らすこともできる。即ち、図29は(11)式の論理記述を実行するように構成されている。

【0116】

【数6】

$$\begin{aligned}
 D_{n1} &= G_1 \{ M (P D_5 + \overline{P D_5}) + \overline{M} (D_7 D_6 + \overline{D_7 D_6}) \} + G_1 D_{n1} \\
 &= M (G_1 (P D_5 + \overline{P D_5}) + G_1 D_{n1}) \\
 &\quad + \overline{M} (G_1 (D_7 D_6 + \overline{D_7 D_6}) + G_1 D_{n1}) \\
 &\dots\dots\dots (11)
 \end{aligned}$$

【0117】なお、図29中、 G_1 はラッチゲート信号である。また、 V_{th1} 、 V_{th2} は各々各論理レベルの閾値電圧であり、 D_5 等の入力信号は、外部から入力されるデータを、例えば、図30に示すようなレベルシフト回路159を用いて内部レベルの信号に変換したものである。これらは必要に応じて、エミッタフォロウ、ダイオード、抵抗等により電圧シフトしている。

【0118】また、周波数選択信号 M 、 $\neg M$ は、外部からの周波数選択信号 $Mode$ から図31に示すような選択信号生成回路160によって生成される。図31において、ベースに基準電位 V_{BBP} が与えられたトランジスタ Q_1 と抵抗 R_1 とは電流 I_1 を流す定電流源161を構成している。トランジスタ Q_2 、 Q_3 は差動スイッチ162を構成している。トランジスタ Q_2 のベースには抵抗 R_2 、 R_3 により周波数選択信号 $Mode$ を内部レベル信号に変換されたものが印加され、トランジスタ Q_3 のベースにはトランジスタ $Q_4 \sim Q_7$ 、抵抗 $R_4 \sim R_6$ により生成された閾値電圧が印加されている。いま、周波数選択信号 $Mode$ がHレベルの時、トランジスタ Q_3 がオンしてそのコレクタ電流は定電流源161による電流 I_1 となり、選択信号 M の電位は $I_1 \cdot R_1 + V_{BE}$ (V_{BE} : トランジスタのベース・エミッタ間電圧)となりオン状態となる。一方、トランジスタ Q_2 のコレクタ電流はほぼ0であるので、選択信号 $\neg M$ はオフとなる。周波数選択信号 $Mode$ がLレベルの時にはその逆となる。これらの選択信号 M 、 $\neg M$ をトランジスタ対と抵抗とで構成された電流スイッチ（例えば、図29中の電流スイッチ163）のベースに加えると、何れか一方のトランジスタのコレクタに電流が流れる。

【0119】(8)式中の他の式に関しても、同様にして、バイポーラトランジスタで構成できる。さらには、他の論理式についても同様にしてバイポーラトランジスタで集積化構成することができる。例えば、前述した(6)式の第1式の場合であれば、図29において電流スイッチ163の代わりに電流源を用い、その上段の回路164部分を省けばよい。

【0120】強度変調データ D_{PK} を得るためにはラッチ回路を縦列接続すればよい。図32は(9)式における第1式の D_{p4} を得るための D_{p4} 生成部166の回路構成例を示す。2つのラッチ回路167、168中の後段のラッチ回路168にデータ保持と同時にデータ生成論理が組み込まれている。前段のラッチ回路167は図27に示した構成に関して正転出力のみを取り出すように構成したもので、省素子化が図られている。図中、 D_4 は図

30のようなレベルシフト回路を介して内部レベル信号に変換したものであり、 V_{th1} は閾値電圧である。 M 及び $\neg M$ は前述したように図31の回路で生成でき、 G_1 及び G_3 は各々のラッチゲート信号であり、 G_1 は前述した通りであり、 G_3 は $G_3 = X_0$ とすればよい。また、図32においてトランジスタ Q_{10} のコレクタを抵抗 R_7 に接続するようにすれば(9)式における $D_{p3} \sim D_{p0}$ を生成できる。

【0121】次に、図26中に示したパルス幅変調部62に関しては、例えば、バイポーラトランジスタによって図33及び図34に示すように構成できる。図33は(5)式の第1式の論理記述を構成した回路を示し、図26中のマルチプレクサ147に相当する。図34は(10)式の第1式の論理記述を構成した回路を示し、図26中のマルチプレクサ151、152、155、ANDゲート154a、154c及びORゲート154eに相当する。

【0122】まず、図33において、基準電位 V_{BB} がベースに加わったトランジスタ Q_{11} と抵抗 R_8 とは電流 I を流す電流源169であり、170～172は各々差動スイッチであり、パルス幅変調データ D_{n1} 及び D_{n2} により差動スイッチ170、171のトランジスタのうちの何れかのトランジスタがオンとなり、各々のコレクタに接続された何れかの差動スイッチ173、174、175、176に電流が流れる。これらの4つの差動スイッチ173～176にはパルス生成発振器63において生成された位相の異なるパルスが加えられている。差動スイッチ173～176の右側のトランジスタには選択されるパルス X_i （左から $i=1 \sim 4$ ）が加えられ、左側のトランジスタにはその反転信号が加えられている（もっとも、左側のトランジスタのベースは、或る一定電位に固定してもよい）。しかし、図示の如く、差動入力としたほうが、スイッチングに必要なスイング電圧が小さくて済み、図33のように多くのトランジスタを多段に積み上げて構成する場合には差動入力のほうが好ましい。

【0123】 X_i の入力においては、さらに生成するパルス幅変調のリニアリティも向上する。例えば、 $D_{n2}=0$ 、 $D_{n1}=1$ の場合を考える。この場合、差動スイッチ170の右側のトランジスタがオンとなり、差動スイッチ174に電流が流れ、他の3つの差動スイッチ173、175、176には流れない。つまり、パルス X_6 が選択されたことになり、パルス X_6 がHレベルの期間は差動スイッチ177に、Lレベルの期間は差動スイッ

チ 178 に電流が流れる。これらの差動スイッチ 177, 178 には各々パルス幅変調データ D_{n3} 及び D_{n4} が加えられ、双方とも H レベルの時には抵抗 R_g の端子電圧はパルス X_6 と等しい信号となり、双方とも L レベルの時にはパルス X_2 (X_6 の反転) と等しい信号となり、 $D_{n3}=0$ 、 $D_{n4}=1$ の時にはパルス X_6 に拘らず常時 L レベルとなり、 $D_{n3}=1$ 、 $D_{n4}=0$ の時には常時 H レベルとなる。これが、エミッタフォロウとダイオードとを介してパルス X_n となり、同様にしてその反転信号が生成される。また、 X_n' 、 X_m 、 X_m' については、(5)式に従い図 33 における入力信号を適宜変更することにより構成できる。さらには、他の式による X_n の生成についても同様にして構成できる。

【0124】図 34 も、基本的には図 33 と同様に構成されているので、簡単に説明する。 CK_0 はパルス X_0 を電圧シフトしただけのものであり、これを内部クロックとする(前述した論理式との対応上、以後の説明でも X_0 で記述する)。 X_0 が H レベルの時、差動スイッチ 172a の左側のトランジスタに電流が流れ、 $D_{n5}=0$ の場合には X_n と X_0 とを論理積した電流が差動スイッチ 177a に流れ、 $D_{n5}=1$ の場合には X_n' と X_0 とを論理積した電流が差動スイッチ 177a に流れる。 X_0 が L レベルの時には D_{m5} に従い X_m 又は X_m' と X_0 とを論理積した電流が流れる。よって、これらを論理和した電流が差動スイッチ 177a に流れ、その反転した電流が差動スイッチ 178a を流れる。そこで、強制消灯指令信号 SW_1 、強制発光指令信号 SW_2 がともに L レベルの場合にはこの論理和した信号が抵抗 R_3' の端子電圧となり、エミッタフォロウを介して PW_{da} となる。強制消灯指令信号 SW_1 のみが H レベルの時にはパルス幅変調データに拘らず常に L レベル、つまり、強制消灯指令信号 SW_1 、強制発光指令信号 SW_2 は PW_{on} も同一の信号であるので、半導体レーザ 3 は強制オフとなる。強制発光指令信号 SW_2 のみが H レベルの時には常時 H レベル、つまり、半導体レーザ 3 は強制オンとなる。 PW_{on} の生成は図 34 の構成において入力信号を変更すればよい。

【0125】なお、これらの実施の形態では、図 1 等に示したパルス幅生成・データ変調部 2 や半導体レーザ制御・駆動部 5 に関して全てバイポーラトランジスタによる 1 チップの集積回路 9、32 への集積化の例で説明したが、C-MOS トランジスタのみにより 1 チップに集積化したり、バイポーラトランジスタと C-MOS トランジスタとの混成回路として 1 チップに集積化することも可能である。1 チップの集積回路を、C-MOS トランジスタにより形成すれば、デジタル制御系のパルス幅生成・データ変調部 2 側を構成するのが容易となる上に、その集積度を高めることもできる。1 チップの集積回路を、バイポーラトランジスタと C-MOS トランジスタとの混成回路により形成すれば、誤差増幅器 8 や定

電流源 7 のようなアナログ駆動系の増幅器をバイポーラトランジスタで容易に構成でき、デジタル制御系のパルス幅生成・データ変調部 2 を C-MOS トランジスタで容易に構成でき、回路設計が容易となる。

【0126】

【発明の効果】請求項 1 記載の発明によれば、入力データに基づいて、入力データに対しパルス幅変調と強度変調とを同時に行う発光指令信号を生成するパルス幅変調・強度変調信号生成部と、半導体レーザと、この半導体レーザの光出力をモニタする受光素子と、ともに光・電気負帰還ループを形成し、受光素子から得られる半導体レーザの光出力に比例した受光信号とパルス幅変調・強度変調信号生成部から得られる発光指令信号とが等しくなるように半導体レーザの順方向電流を制御する誤差増幅部と、光・電気負帰還ループの制御電流との和又は差の電流により半導体レーザの駆動を制御するように生成されパルス幅変調・強度変調信号生成部から与えられる発光指令信号に応じた駆動電流を半導体レーザに順方向電流として流す電流駆動部とが 1 チップの集積回路で構成したので、半導体レーザ制御装置に関して小型で省電力化を図れる上に、1 ドット内でのパルス幅強度混合方式をより高速かつ高精度に実現することができる。

【0127】ここに、パルス幅変調・強度変調信号生成部に関して、請求項 2 記載の発明では、入力データをパルス幅変調データと強度変調データとに変換するデータ変換手段と、パルス幅変調データに基づいてパルス幅変調した複数のパルスを生成するパルス幅変調手段と、これらのデータ変換手段とパルス幅変調手段との出力に基づいて半導体レーザに対してパルス幅変調と強度変調とを同時に行う発光指令信号生成部とを有しているので、デジタル制御系をなすパルス幅変調・強度変調信号生成部側の 1 チップ化のための構成が明らかとなる。

【0128】請求項 3 記載の発明によれば、1 チップの集積回路がバイポーラトランジスタにより形成されているので、特に誤差増幅部や電流駆動部のようなアナログ駆動系の増幅器を構成するのが容易となり、その入力レベルを自由に設定し得る上に、入力レベルを小さくすることもできる。

【0129】請求項 4 記載の発明によれば、1 チップの集積回路が C-MOS トランジスタにより形成されているので、特にパルス幅変調・強度変調信号生成部側を構成するのが容易となる上に、集積度をより高めることもできる。

【0130】請求項 5 記載の発明によれば、1 チップの集積回路がバイポーラトランジスタと C-MOS トランジスタとの混成回路により形成されているので、特に誤差増幅部や電流駆動部のようなアナログ駆動系の増幅器をバイポーラトランジスタで容易に構成でき、パルス幅変調・強度変調信号生成部のようなデジタル制御系を C-MOS トランジスタで容易に構成でき、よって、回

路全体の設計をより容易なものとすることができる。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態による半導体レーザ制御装置の1チップ化のブロック構成を示すブロック図である。

【図2】基本的な概略構成を示すブロック図である。

【図3】パルス幅強度変調混合方式の光出力とドットイメージとの関係を示す模式図である。

【図4】その波形生成法を示すタイムチャートである。

【図5】 I_{DA2} に伴う加算出力の有無による光出力制御例を示す特性図である。

【図6】発光指令信号生成部の具体的ブロック構成を示すブロック図である。

【図7】データ変換部及びパルス幅変調部の具体的ブロック構成を示すブロック図である。

【図8】パルス幅生成方法を示すタイムチャートである。

【図9】本発明の第二の実施の形態の全体的な構成を示す概略ブロック図である。

【図10】誤差増幅部及び電圧シフト部の構成例を示す回路図である。

【図11】発光指令信号設定部の構成例を示す回路図である。

【図12】第1の発光指令信号生成部の構成例を示す回路図である。

【図13】第2の発光指令信号生成部の構成例を示す回路図である。

【図14】(a)は入力部付近の概略構成図、(b)はその一部の変形例を示す概略構成図である。

【図15】入力方式の変形例を示すタイムチャートである。

【図16】全体構成の変形例を示す概略ブロック図である。

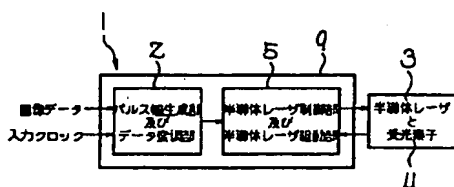
【図17】発振回路の構成例を示す回路図である。

【図18】ラッチ回路の構成例を示す回路図である。

【図19】最終段のラッチ回路の構成例を示す回路図である。

【図20】各部の波形を示すタイムチャートである。

【図2】



【図21】微分量子効率検出部の構成例を示す回路図である。

【図22】電源部の構成例を示す回路図である。

【図23】スタートアップ部の構成例を示す回路図である。

【図24】発光指令信号生成部の変形例を示す回路図である。

【図25】半導体劣化検出部の構成例を示す回路図である。

【図26】本発明の第三の実施の形態の具体的な構成例を示すブロック図である。

【図27】その一部のラッチ回路の構成例を示す回路図である。

【図28】その一部の論理記述を実行する構成例を示す回路図である。

【図29】その一部の論理記述を実行する構成例を示す回路図である。

【図30】レベルシフト回路を示す回路図である。

【図31】周波数選択信号生成回路を示す回路図である。

【図32】強度変調信号を得るための構成例を示す回路図である。

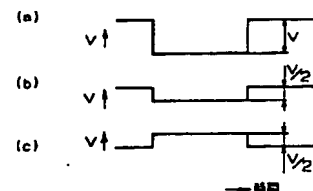
【図33】パルス幅変調部中のマルチプレクサの構成例を示す回路図である。

【図34】パルス幅変調部中の他部の構成例を示す回路図である。

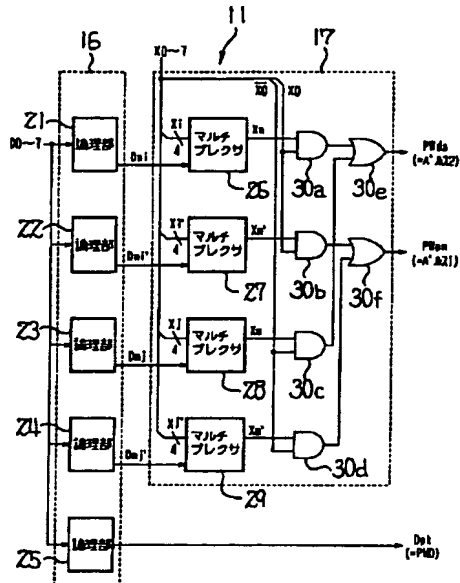
【符号の説明】

3	半導体レーザ
4	受光素子
6	光・電気負帰還ループ
7, 44	電流駆動部
8, 43	誤差増幅部
9, 32	1チップの集積回路
11	パルス幅変調・強度変調信号生成部
12, 42	発光指令信号生成部
16, 61	データ変換手段
17, 62	パルス幅変調手段

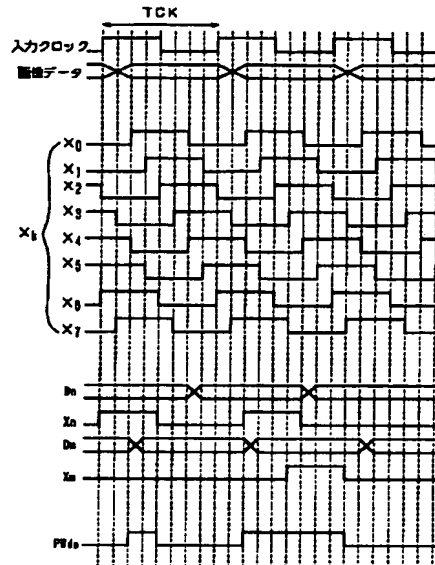
【図15】



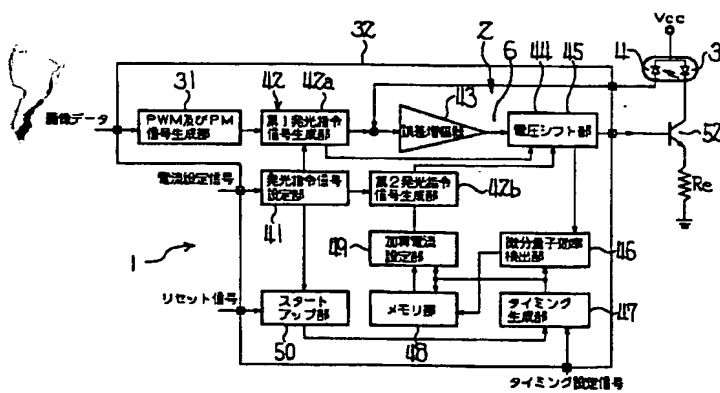
【図7】



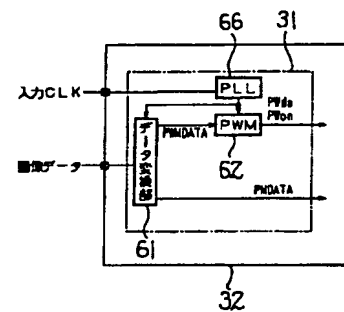
【図8】



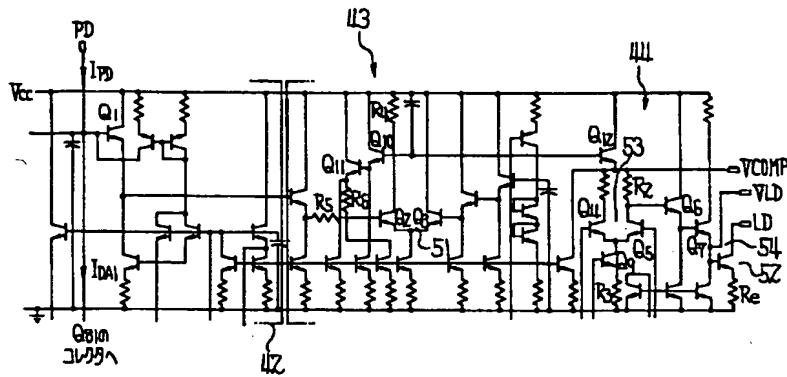
【図9】



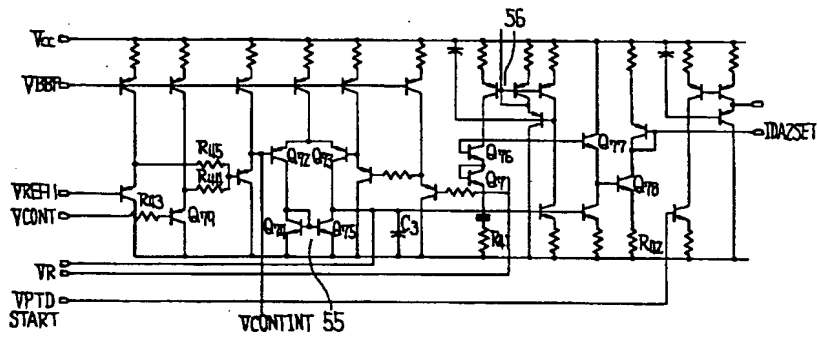
【図13】



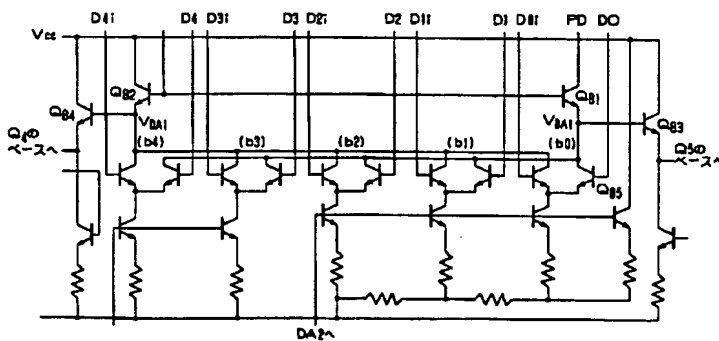
【図10】



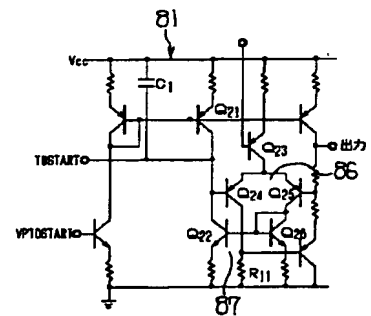
【図11】



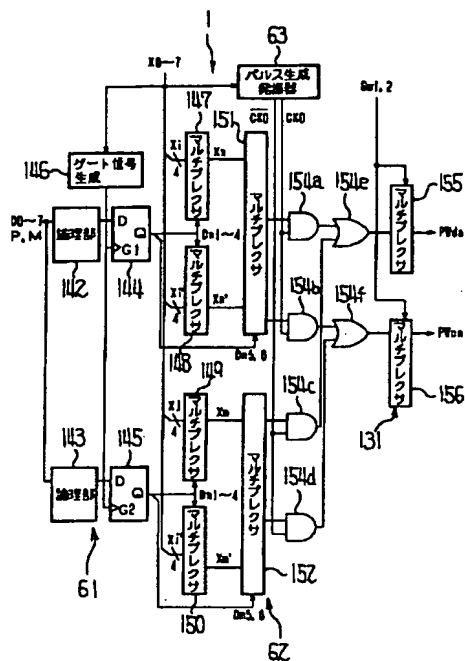
【図12】



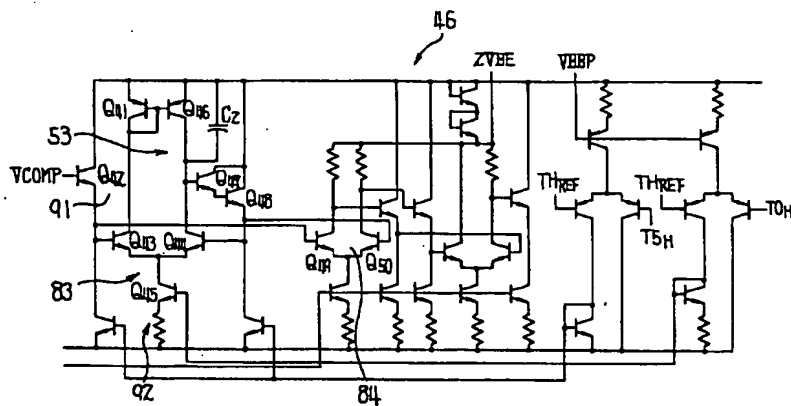
【図17】



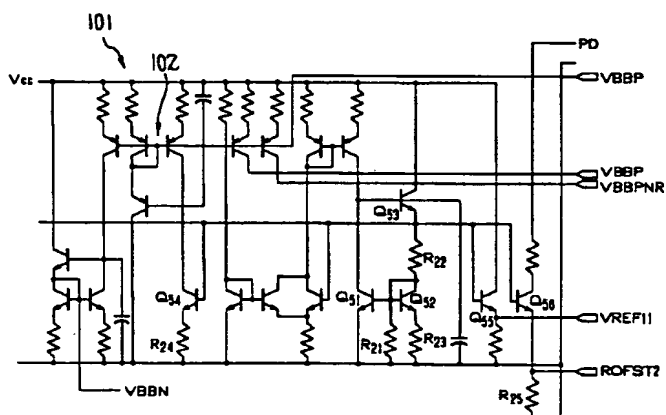
【图 2 6】



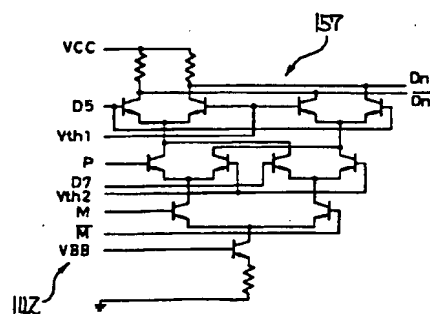
【図 2 1】



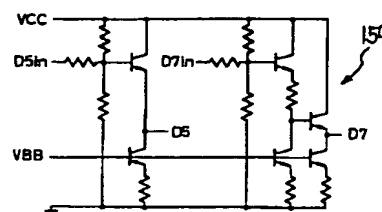
【图 2 2】



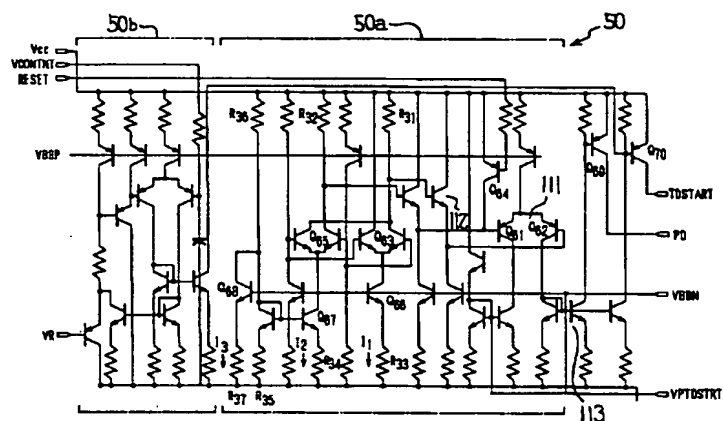
【图 28】



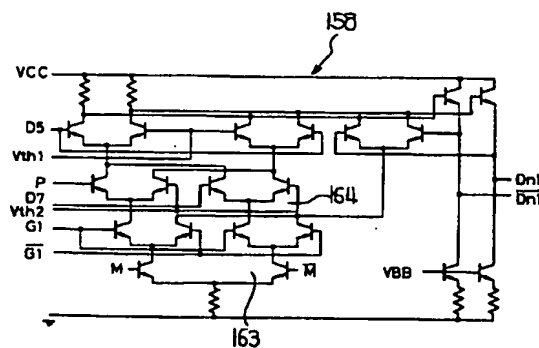
【图 30】



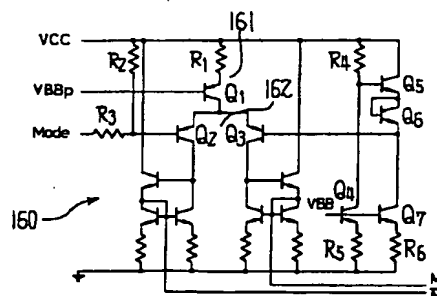
【图 2 3】



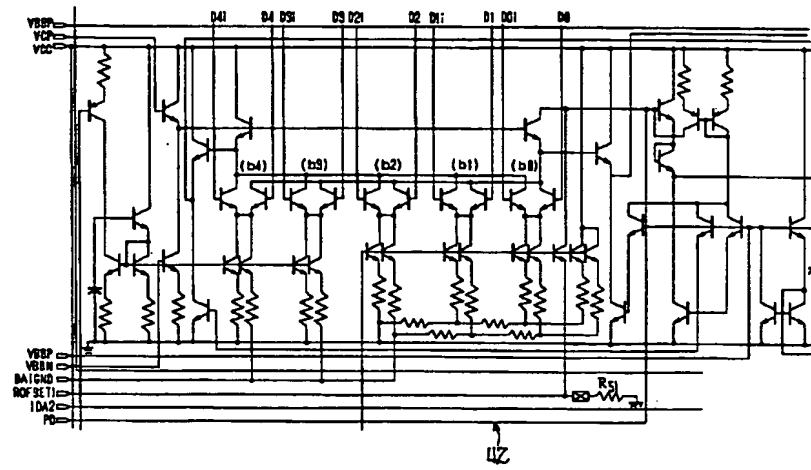
【图 29】



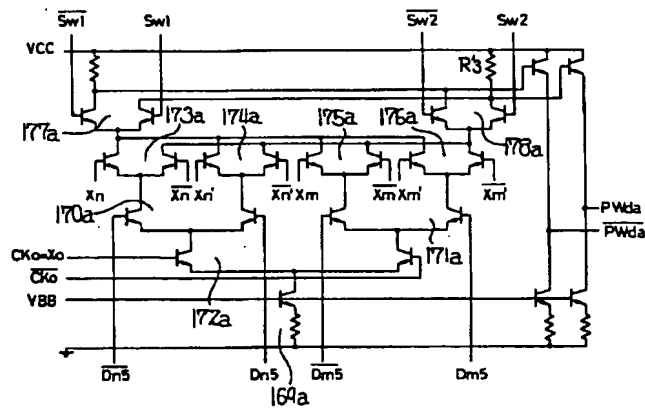
【图 3 1】



【図24】



【図27】



【図32】

